

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-203994

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

G02F 1/136
G02F 1/133
G02F 1/1343
H01L 27/12
H01L 29/784

(21)Application number : 04-245121

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.09.1992

(72)Inventor : UEDA TOMOMASA
AKIYAMA MASAHIKO
SUGAWARA ATSUSHI
SHIBUSAWA MAKOTO
IKEDA MITSUSHI
TSUJI YOSHIKO
TOEDA HISAO

(30)Priority

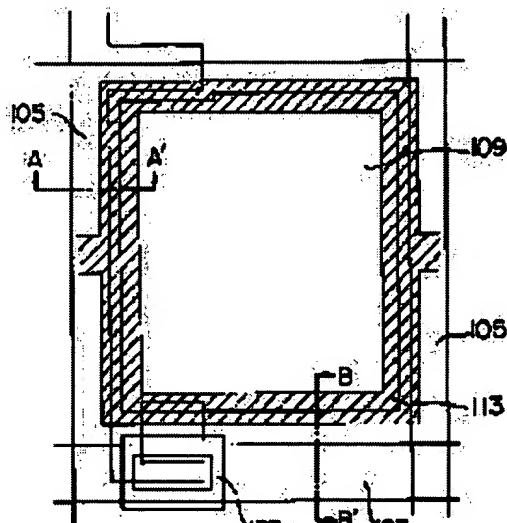
Priority number : 03243745 Priority date : 24.09.1991 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To eliminate the brightness irregularity and crosstalk of a display image and make an excellent image display by decreasing the parasitic capacity between a picture element electrode, and a scanning line and a signal line which are close to it.

CONSTITUTION: The liquid crystal display device has an array substrate which has a TFT 107 connected to the scanning line 103 and signal line and the picture element electrode 109 connected thereto, a counter substrate which has a counter electrode facing them, and a liquid crystal layer sandwiched between the array



substrate and counter substrate; and an electrostatic shielding electrode 113 which overlaps with at least part of the peripheral edge part of the picture element electrode 109 and also overlaps with at least one of the scanning line 103 and signal line 105 is provided on the array substrate.

LEGAL STATUS

[Date of request for examination] 11.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3210437

[Date of registration] 13.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The array substrate which has the pixel electrode connected with the thin film transistor component connected to the signal line installed successively by intersecting the scanning line and this which were installed successively, said scanning line, and said signal line at this, It has the liquid crystal layer pinched between the opposite substrate which has the counterelectrode which counters this, and said array substrate and said opposite substrate. The liquid crystal display characterized by providing the screening electrode which has the electrostatic-shielding nature arranged so that it might lap with a part of periphery section [at least] of said pixel electrode and might lap at least with one side among said scanning line and said signal line on said array substrate.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active-matrix mold liquid crystal display especially using a thin film transistor about a liquid crystal display.

[0002]

[Description of the Prior Art] Although a miniaturization, lightweight-izing, and low-power-izing of electronic equipment are advanced in recent years, research and development of a flat-panel display are briskly performed as a display device of small [for which it substitutes from CRT (Cathode Ray Tube) also in the field of a display device], a light weight, and a low power.

[0003] Also in this, especially the liquid crystal display has the features, such as that a large area display is possible and that full-color-izing is possible and a thing [the display device of low current and low-battery actuation]. although the thing of various methods of operation is used as such a liquid crystal display according to the purpose, an active-matrix mold liquid crystal display component can perform a full color movie display with high resolution especially -- etc. -- it has the features and attention is attracted.

[0004] Although an active-matrix mold liquid crystal display arranges 1 pixel for a part for every intersection of the electrode arranged in the shape of a matrix and drive control of that pixel that arranged the switching element for every pixel and was connected by this switching element is carried out according to an individual, using a thin film transistor (the following, TFT, and abbreviated name) attracts attention from such an active-matrix mold liquid crystal display, and some with which research and development are performed briskly and practical use is already presented are shown in it.

[0005] The number of pixels is length at the 10 inches size of diagonal as a liquid crystal display for the present, for example, laptop computers. 480x width Although what is about 640 is in use, research and development which aimed at the high definition projection mold (projection mold) display are performed more in high definition, the high definition direct viewing type liquid crystal display, and the fine pitch.

[0006] The 1-pixel part of the TFT array substrate is extracted, and the configuration of the active-matrix mold liquid crystal display using such TFT is shown in drawing 28 . Moreover, drawing 29 is the representative circuit schematic showing the electric configuration of the whole 1-pixel part.

[0007] TFT2805 connected to the scanning line 2801 installed successively on the glass insulating substrate, the signal line 2803 installed successively by this by crossing, and these scanning lines 2801 and a signal line 2803, the pixel electrode 2807 connected to this, and this pixel electrode 2807 are countered through an insulator layer, and it is the auxiliary capacity Cs. The auxiliary capacity electrode 2809 to form is formed and the TFT array substrate 2811 is formed. And as for the liquid crystal display, that principal part consists of liquid crystal layers 2815 pinched through the orientation film (illustration abbreviation) between the counterelectrode 2813 which counters this TFT array substrate 2811, and the pixel electrode 2807 and a counterelectrode 2813.

[0008] The equipment of such a configuration is the liquid crystal capacity CLC formed in the liquid

crystal layer 2815 pinched by the pixel electrode 2807, a counterelectrode 2813, and these with the electrical potential difference impressed through a signal line 2803 by turning on (switch-on) TFT2805 at the period when the scanning line 2801 is chosen, i.e., a scan selection period, and the auxiliary capacity CS made by the TFT array substrate 2811. It charges. And TFT2805 is turned off (high resistance condition), and the pixel electrode 2807 will be in the condition of having been electrically separated from the signal line 2803 at the period when the scanning line 2801 is not chosen, i.e., a scan non-selection period. And while the electrical potential difference more than a lighting threshold is impressed to the liquid crystal layer 2815 with the charge stored during the aforementioned scan selection period, the lighting condition of the pixel is maintained.

[0009] By the way, in the active-matrix mold liquid crystal display using the above TFT(s), electrostatic capacity called parasitic capacitance Cgs and Cds is formed, respectively between the pixel electrode 2807 and the scanning line 2801 and between the pixel electrode 2807 and a signal line 2803. Since capacity coupling of the pixel electrode 2807 is carried out to the scanning line 2801 or a signal line 2803 by such parasitic capacitance Cgs and Cds, potential fluctuation of the scanning line 2801 or a signal line 2803 affects the electrical potential difference of the pixel electrode 2807, and it fluctuates the electrical potential difference in noise with it.

[0010] That potential fluctuation of the scanning line 2801 poses a problem is potential fluctuation ΔV_{scan} which runs according to electrical-potential-difference change of falling of this scan pulse, and is especially called an electrical potential difference in the time of falling of a scan pulse. It happens. Such [here] potential fluctuation ΔV_{scan} The value shown by the following formulas is taken. $\Delta V_{\text{scan}} = \{C_{\text{gs}} / (CLC + C_{\text{s}} + C_{\text{gs}} + C_{\text{ds}})\} \times \Delta V_{\text{g}}$ Such potential fluctuation ΔV_{scan} that runs and is called an electrical potential difference Since it exists, the potential of the pixel electrode 2807 becomes a different thing from the predetermined signal level impressed to the signal line 2803, and the writing of an exact signal level is barred. Then, in a Prior art, it corresponds to this, and is potential fluctuation ΔV_{scan} about the potential of a counterelectrode 2813. It is made to part-shift and is this potential fluctuation ΔV_{scan} that runs and is called an electrical potential difference. It is coped with as it compensated.

[0011] However, CLC is not fixed and it is impossible to change with the postures of the electrical potential difference concerning liquid crystal or liquid crystal, and to vary Cgs in a screen, Cs, and CLC also from the problem on manufacture, and to set all constant that there is nothing. For this reason, ΔV_{scan} It cannot necessarily compensate only with it not being fixed, and there being dispersion for every location, and adjusting the potential of a counterelectrode 2813 also in the same screen, fully. Consequently, a flicker and printing occur on a screen.

[0012] On the other hand, since the potential of a signal line 2803 always is not uniform and is changed corresponding to a video-signal electrical potential difference, potential fluctuation of the pixel electrode 2807 resulting from this signal line 2803 turns into potential fluctuation more frequent than the case of the scanning line 2801, and various. The situation of fluctuation by frame reversal is explained as the example.

[0013] all signal-line 2803 potentials are made into the same polarity in frame reversal -- in order to reverse the polarity of a signal line 2803 for every frame, potential fluctuation of a signal line 2803 has the largest time of reversing this polarity. Potential fluctuation ΔV_{ps} of the pixel electrode 2807 at this time sets to ΔV_{sig1} and ΔV_{sig2} potential fluctuation of the signal line 2803 of the right-and-left both sides which form parasitic capacitance between the pixel electrodes 2807, and is Cds1 and Cds2 about that parasitic capacitance, respectively. If it carries out $\Delta V_{\text{ps}} = (C_{\text{ds1}} \times \Delta V_{\text{sig1}} + C_{\text{ds2}} \times \Delta V_{\text{sig2}}) / (CLC + C_{\text{s}} + C_{\text{gs}} + C_{\text{ds1}} + C_{\text{ds2}})$ It becomes. It happens, whenever it will write in the pixel train of the bottom of a screen for every frame, if this potential fluctuation ΔV_{ps} puts in another way. For this reason, since time amount until writing is performed and ΔV_{ps} occurs differs by the upper and lower sides of a screen when it sees for every pixel, it appears as location-dispersion of the brightness of a screen. This becomes what is called the so-called brightness unevenness of a screen, and is observed.

[0014] And they are Cds1 and Cds2 further. If it becomes large, potential fluctuation of a signal line 2803 will cause potential fluctuation of the pixel electrode 2807, and a cross talk will be generated.

[0015] Such parasitic capacitance is formed in the following locations in the TFT array substrate 2811. Cgs is first formed in the part with which the channel part of TFT2805, the scanning line 2801, and a gate electrode and the pixel electrode 2807 (source electrode) mainly lap. Moreover, Cds1 and Cds2 It is formed in the part which the pixel electrode 2807 and a signal line 2803 mainly approach.

[0016] If the dimension whose miniaturization and highly minute-ization of a liquid crystal display are progress and 1 pixel as mentioned above makes it detailed increasingly, also in order to raise the numerical aperture of a pixel and to make brightness high, it is necessary to bring each inter-electrode distance close increasingly. And when each inter-electrode distance is brought close in this way, they are the above-mentioned parasitic capacitance Cgs and Cds1 and Cds2. It becomes a still bigger value, and it originates in this, brightness unevenness and a cross talk occur notably increasingly, and the quality of a display image deteriorates.

[0017] In order to avoid that light penetrates the gap between the scanning line 2801 and a signal line 2803, and the pixel electrode 2807, and the contrast of a pixel part falls on the other hand, and in order to avoid that light carries out incidence to TFT2805, generate a photocurrent, and TFT2805 malfunctions, the light-shielding film called the Black matrix or a black mask is used for the conventional liquid crystal display. This Black matrix is usually prepared in the opposite substrate side, and in case opposite arrangement of the TFT array substrate 2811 and the opposite substrate was carried out, alignment of it was carried out so that opening of the Black matrix might be located in the part which carries out [section / pixel] opening.

[0018] However, if the dimension whose miniaturization and highly minute-ization of a liquid crystal display are progress and 1 pixel as mentioned above makes it detailed increasingly, in order to raise the numerical aperture of a pixel and to make brightness high, a pixel electrode and the Black matrix are formed in still more detailed pattern size and precision, moreover, it must be still more detailed, alignment of an opposite substrate (illustration abbreviation) and the TFT array substrate 2811 must be carried out elaborately, and the manufacture will become still more difficult.

[0019]

[Problem(s) to be Solved by the Invention] Thus, in the conventional liquid crystal display, it originated in parasitic capacitance and there was a problem that brightness unevenness and a cross talk occurred.

[0020] Moreover, when the pixel made it detailed increasingly, there was a problem that the pattern precision and the alignment tolerance of a pixel electrode or the Black matrix will become that it is strict increasingly and SHIBIA, and the manufacture will become still more difficult.

[0021] It accomplished, in order that this invention might solve such a problem, and the purpose is in offering the liquid crystal display which reduces the parasitic capacitance between a pixel electrode, and the scanning line and the signal line close to this, cancels the brightness unevenness and cross talk of a display image, and realizes good image display.

[0022]

[Means for Solving the Problem] The array substrate which has the pixel electrode connected with the thin film transistor component connected to the signal line installed successively by the liquid crystal display of this invention intersecting the scanning line and this which were installed successively, said scanning line, and said signal line at this, It has the liquid crystal layer pinched between the opposite substrate which has the counterelectrode which counters this, and said array substrate and said opposite substrate. It is characterized by providing the screening electrode which has the electrostatic-shielding nature arranged so that it might lap with a part of periphery section [at least] of said pixel electrode and might lap at least with one side among said scanning line and said signal line on said array substrate.

[0023] In addition, the aforementioned screening electrode is formed from the high quality of the material of optical cutoff nature, and you may make it make it serve a double purpose as the light-shielding film which intercepts the light transmission of the gap part between the scanning line, a signal line, and a pixel electrode, and the so-called black mask.

[0024] Moreover, you may make it use the aforementioned screening electrode also [capacity / of a pixel / liquid crystal] as one electrode of auxiliary capacity or storage capacitance connected to juxtaposition.

[0025] Moreover, the aforementioned screening electrode may be electrically good also as floating, or may impress an electrical potential difference.

[0026]

[Function] It is greatly influenced with the line of electric force determined with the parasitic capacitance formed between a pixel electrode and the scanning line and between a pixel electrode and a signal line, the configuration of two electrodes, the dielectric constant of the matter of the perimeter, etc.

[0027] Then, for example, a pixel electrode and a signal line If the screening electrode set as constant potential is arranged between two electrodes, the line of electric force which is going to stand in a row between a pixel electrode and a signal line will be intercepted by the electrostatic-shielding effectiveness of this screening electrode, or it will decrease.

[0028] Such electrostatic-shielding effectiveness is for example, a pixel electrode and a signal line. The upper part of each of two electrodes or when being arranged so that it may lap through an insulating layer etc. caudad, and not only when a screening electrode is arranged so that between two electrodes may be interrupted, but when, it happens sufficiently effectively. And by such cutoff or reduction of line of electric force, they are for example, a pixel electrode and a signal line. The parasitic capacitance between two electrodes is canceled.

[0029] The liquid crystal display of this invention can cancel parasitic capacitance with the screening electrode arranged so that it might lap with a part of periphery section [at least] of such a pixel electrode and might lap at least with one side among the scanning line and a signal line, can avoid generating of brightness unevenness or a cross talk, and can realize high-definition image display.

[0030] Moreover, since this screening electrode is arranged so that it may lap with a pixel electrode, and the scanning line and a signal line as mentioned above if this screening electrode is formed from the high quality of the material of optical cutoff nature, it can also be made to serve a double purpose as a light-shielding film like the so-called Black matrix.

[0031] Moreover, since it arranges so that it may lap with a pixel electrode in part as mentioned above, this screening electrode can also be made to serve a double purpose as an electrode for auxiliary capacity which forms an auxiliary capacity using the insulator layer etc. as a dielectric in the part which laps with this pixel electrode in part.

[0032]

[Example] Hereafter, the example of the liquid crystal display of this invention is explained to a detail based on a drawing.

[0033] (Example 1) drawing 1 -- the -- one -- an example -- a liquid crystal display -- one -- a pixel -- a part -- a configuration -- being shown -- drawing -- drawing 2 -- (-- a --) -- the -- layer structure -- being shown -- A-A -- ' -- a sectional view -- (-- b --) -- it is the ** B-B' sectional view.

[0034] The scanning line 103 with which the liquid crystal displays of this 1st example were installed successively on the glass insulating substrate 101, TFT107 connected to the signal line 105 installed successively by intersecting this, and these scanning lines 103 and a signal line 105, The pixel electrode 109 connected to this and the screening electrode 113 which laps with some signal lines 105 while lapping on all sides [of the periphery section of the pixel electrode 109 / all] through the gate insulating layer 111 are formed, and the TFT array substrate 115 is formed. And although illustration is omitted, that principal part consists of liquid crystal layers pinched between the opposite substrate which has the counterelectrode which counters the TFT array substrate 115, and this opposite substrate and the TFT array substrate 115.

[0035] The description of the liquid crystal display of this 1st example is forming the auxiliary capacity 117 through the gate insulating layer 111 in the part with which it laps with some signal lines 105 while a screening electrode's 113 laps on all sides [of the periphery section of the pixel electrode 109 / all], and the pixel electrode 109 and a screening electrode 113 lap.

[0036] Next, the manufacture approach of the liquid crystal display of the 1st example of such a configuration is explained. It is a Mo-Ta alloy on a glass substrate 101. 250nm is deposited, pattern NINGU of this is carried out, and the scanning line 103 and a screening electrode 113 are formed in

coincidence. Then, they are SiO_x and SiN_x as a gate insulating layer 111 on these. Respectively 300nm, 50nm forms membranes, it continues and they are a-Si of a barrier layer, and SiN_x as a channel protective coat on this gate insulating layer 111. 50nm carries out 200nm membrane formation, respectively. And SiN_x of a channel protective coat After carrying out etching formation, 50nm of n+a-Si layers as an ohmic contact layer is deposited on the shape of an island. Then, n+a-Si and a-Si are etched in the shape of an island, and, subsequently it is ITO. After depositing 100nm, carrying out pattern NINGU of this and forming the pixel electrode 109, etching removes the gate insulating layer 111 of the top for the scanning line 103 takeoff connection, the 300nm deposition of Cr and the 50nm of the aluminum is carried out, respectively, pattern NINGU of this is carried out, and a signal line 105 and a drain electrode, and a source electrode are formed.

[0037] And a channel protective layer carries out etching removal of the n+a-Si layer between the source electrode of TFT107, and a drain electrode alternatively, using a signal line 105 as a mask, and a TFT array substrate is formed.

[0038] And this TFT array substrate 115 and an opposite substrate are combined, that perimeter is closed with encapsulant, a liquid crystal constituent is poured in among both substrates, and this liquid crystal display is completed.

[0039] Thus, the gate insulating layer 111 is formed so that a screening electrode 113 may be arranged by the scanning line 103 and this layer on a glass substrate 101 and the liquid crystal display of this example may cover a these top, and the pixel electrode 109 and the signal line 105 are arranged on it. And it connects with a power source and a predetermined electrical potential difference is impressed, and the screening electrode 113 is arranged so that it may become fixed potential over all pixels.

[0040] Since the line of electric force which faces to a signal line 105 from the pixel electrode 109 decreases in number sharply according to the electrostatic-shielding effectiveness of a screening electrode 113, the parasitic capacitance which is going to be formed between the pixel electrode 109 and a signal line 105 is canceled, and the liquid crystal display of such this example of a configuration can prevent generating of the brightness unevenness and cross talk which originated in this parasitic capacitance and had been generated.

[0041] Moreover, since a screening electrode 113 and the scanning line 103 carry out pattern NINGU of the film which consists of the quality of the material like the Mo-Ta alloy which this layer was made to deposit like the above-mentioned by etching and can form it in coincidence, for screening-electrode 113 formation, they do not independently need to add a new process and can make a production process simple.

[0042] Moreover, the auxiliary capacity 117 is formed through the gate insulating layer 111 in the part with which the pixel electrode 109 and a screening electrode 113 lap. That is, since the screening electrode 113 is made to serve a double purpose as an electrode for auxiliary capacity of the auxiliary capacity 117, compared with the case where the electrode for auxiliary capacity is arranged apart from this, structure and a production process can be made simple.

[0043] According to the experiment of this invention persons, it runs, the pixel potential fluctuation by the electrical potential difference and frame reversal is detected, and it compares with equipment conventionally, and is the parasitic capacitance Cds1 between the pixel electrode 109 and a signal line 105, and Cds1 2 by formation of a screening electrode 113. Decreasing sharply was checked.

[0044] (Example 2) Drawing in which drawing 3 shows the configuration of the 1-pixel part of the liquid crystal display of the 2nd example, the A-A'sectional view in which drawing 4 (a) shows the layer structure, and (b) are the B-B'sectional view. in addition, the same component as the 1st example -- drawing 1 R> -- the same number as 1 and 2 is attached.

[0045] In the liquid crystal display of this 2nd example, while it arranges so that a screening electrode 213 may lap with some of scanning lines 103 and signal lines 105, and using a screening electrode 213 as a light-shielding film and the so-called Black matrix, it is the description to form the auxiliary capacity 217, using a screening electrode 213 as an electrode.

[0046] A screening electrode 213 is arranged so that it may lap through the 2nd gate insulating layer 215 through the gate insulating layer 111 and the 2nd gate insulating layer 215 at a part of scanning line 103

with some signal lines 105, while it laps on all sides [all] around the pixel electrode 109 through the gate insulating layer 111, the 2nd gate insulating layer 215, and the 3rd insulating layer 219. Moreover, layer separation is carried out by the insulating layer 219, and the pixel electrode 109 and the signal line 105 have structure which can prevent a short circuit certainly.

[0047] And the parasitic capacitance between the scanning line 103 and the pixel electrode 109 and between a signal line 105 and the pixel electrode 109 is canceled by the electrostatic-shielding effectiveness of this screening electrode 213 like the operation explained in the 1st example.

[0048] As the quality of the material of a screening electrode 213, it is SiO_x as 2nd gate insulating layer 215 about a Mo-Ta alloy again. As the 3rd insulating layer 219, it is SiN_x again. It used. Since light does not penetrate in the gap of the part 109 covered with this screening electrode 213 since the high quality of the material of optical cutoff nature like a Mo-Ta alloy was used as a screening electrode 213, i.e., a pixel electrode, and the scanning line 103, and the gap of the pixel electrode 109 and a signal line 105 but light penetrates only to the pixel electrode 109 of the part which is not covered with a screening electrode 213, this screening electrode 213 has the function as a Black matrix. Thereby, the Black matrix by the side of an opposite substrate like before is omissible. However, it is desirable to prepare the Black matrix in the opposite substrate of the part corresponding to about 107 TFT, and to make protection-from-light nature to the light from an opposite substrate, the reflected light in the principal plane side inside of a glass substrate, etc. into a more positive thing at this time.

[0049] Moreover, if it leaves the Black matrix of the signal-line 105 and scanning-line 103 neighborhood and color separation for every pixel of a color filter is performed within this Black matrix, since there is effectiveness, like inspection of a color filter etc. can carry out simply compared with what omitted the Black matrix, and improvement in the manufacture yield can be aimed at, the Black matrix by the side of an opposite substrate must not necessarily be omitted.

[0050] However, auxiliary, even if manufacture top both location shifts using the Black matrix which made opening of a counterelectrode larger than opening of a screening electrode, it is desirable for either to specify opening. Illustration is opening of a screening electrode 213 at this example, although omitted. The Black matrix to which only the distance of 8 micrometers took large opening is used auxiliary. Thereby, even if a pattern gap occurs, it can shade certainly.

[0051] (Example 3) Drawing in which drawing 5 shows the configuration of the 1-pixel part of the liquid crystal display of the 3rd example, and drawing 6 are the A-A' sectional views showing the layer structure.

[0052] In addition, the same component as the 1st and 2 example attaches the same number as drawing 1 and 2 grades.

[0053] The liquid crystal display of this 3rd example is what improved the liquid crystal display of the 2nd example. While a screening electrode 313 is formed so that it may lap with some of perimeters of the pixel electrode 109, scanning lines 103, and signal lines 105, and making this serve a double purpose as a light-shielding film and the so-called Black matrix The point which has adopted the structure made to serve a double purpose also as an electrode for auxiliary capacity of the auxiliary capacity 317 prepared in the pixel center section, and forms the pixel electrode 109 by the self aryne, using a screening electrode 313 also as the manufacture approach is the description.

[0054] The 2nd gate insulating layer 215 and gate insulating layer 111 are formed so that a screening electrode 313 may be covered, the scanning line 103 is formed between the layer, and the pixel electrode 109 is formed in the maximum upper layer.

[0055] NEGAREJISUTO or an image reverse resist is used after ITO film deposition, in case the pixel electrode 109 is formed, first, it exposes from a rear face, and a photo mask is used and exposed into the part which laps with a source electrode from a front face (principal plane) continuously, and the part which forms the auxiliary capacity 317, and the pixel electrode 109 is formed. In this case, since a large distance between the pixel electrode 109, a signal line 105, and the scanning line 103 can be taken compared with the case where a self aryne is carried out, only with a signal line 105 and the scanning line 103, the parasitic capacitance between them can be reduced still smaller.

[0056] Moreover, since a screening electrode 313 is formed and this is made to serve a double purpose

as a Black matrix so that it may lap in this way with some of perimeters of the pixel electrode 109, scanning lines 103, and signal lines 105, thereby, the Black matrix by the side of an opposite substrate is omissible like the 2nd example.

[0057] Rather than the layer of the pixel electrode 109, if this screening electrode is a lower layer, it can be formed in any layer through an insulating layer like the gate insulating layer 111.

[0058] (Example 4) Drawing in which drawing 7 shows the configuration of the 1-pixel part of the liquid crystal display of the 4th example, the A-A'sectional view in which drawing 8 (a) shows the layer structure, and (b) are the B-B'sectional view. In addition, the same component as the 1st example attaches and shows the same number as drawing 1 R> 1 and 2 grades.

[0059] Although the liquid crystal display of this 4th example is what improved the liquid crystal display of the 2nd example further and that layer structure is the same as the 2nd example almost By forming a screening electrode 413 by transparence electric conduction film like ITO, arranging so that it may counter all over the pixel electrode 109, and forming the auxiliary capacity 417 through the gate insulating layer 111 and the 2nd gate insulating layer 215 The point that a large area of the auxiliary capacity 417 can be taken is the description. ITO (indium oxide and tin) was used as the quality of the material of the screening electrode 413.

[0060] Since the value of the auxiliary capacity 417 formed was influenced by the area of the pixel electrode 109 which laps with a screening electrode 413, as shown in drawing 7 , it formed this screening electrode 413 in a bigger area than the whole surface of the pixel electrode 109 by this example. However, since it cannot necessarily do greatly from the performance problem of TFT(s), such as a drive current characteristic, it is desirable to set the area of this screening electrode 413 as a suitable value suitably. For example, it may form in a configuration which laps with the upper half of a pixel electrode, and you may set it as the capacity of the abbreviation one half of this example.

[0061] (Example 5) Drawing in which drawing 9 shows the configuration of the 1-pixel part of the liquid crystal display of the 5th example, and drawing 10 are the A-A'sectional views showing the layer structure. In addition, the same component as the 1st example etc. attaches and shows the same number as drawing 1 and 2 grades.

[0062] The liquid crystal display of this 5th example is what improved the liquid crystal display of the 1st example, and it is the description to be arranged so that it may lap over the whole part in which the auxiliary capacity 517 is formed in the part with which a screening electrode 513 and the pixel electrode 109 lap through the gate insulating layer 111, and that screening electrode 513 is equivalent to 1 pixel of a signal line 105. By arranging a screening electrode 513 in this way, about 105-signal line electrostatic shielding can be performed still more effectively than the 1st example, consequently they are parasitic capacitance Cds1 and Cds2. It can decrease still more effectively.

[0063] Moreover, even if the width of face of a signal line 105 will become still more detailed, there are allowances in the width of face of a screening electrode 513, and if a screening electrode 513 is arranged in this way so that it may lap over the whole part equivalent to 1 pixel of a signal line 105, since there are no worries about a pattern gap etc., there is also an advantage that manufacture is simple.

[0064] (Example 6) The top view in which drawing 11 shows the configuration of the 1-pixel part of the liquid crystal display of the 6th example, the A-A'sectional view in which drawing 12 (a) shows the layer structure, and (b) are the B-B'sectional view. In addition, the same component as the 1st example, the 5th example, etc. attaches and shows the same number as drawing 1 , 2 and 9, and 10 grades.

[0065] The liquid crystal display of this 6th example is what improved the liquid crystal display of the 5th example further, and it is the description to have formed the pixel electrode 109 into the layer of the gate insulating layer 111, to have arranged the signal line 105 on that gate insulating layer 111, and to have considered as the structure which prevents certainly the short circuit of the pixel electrode 109 and a signal line 105. Moreover, the screening electrode 613 is arranged by the lower layer of the pixel electrode 109 through the gate insulating layer 111.

[0066] It could bring close, without having combined with the electrostatic-shielding effectiveness and the protection-from-light effectiveness of a screening electrode 613, and a short circuit producing between the pixel electrode 109 and signal lines 105 by this, and effectiveness that the numerical

aperture of the pixel electrode 109 can be raised further is also realized.

[0067] Next, the manufacture approach of the liquid crystal display of such 6th example is explained.

[0068] It is a Mo-Ta alloy on a glass substrate 101. 250nm is deposited, pattern NINGU of this is carried out, and the scanning line 103 and a screening electrode 613 are formed in coincidence. Then, SiOx which serves as the gate insulating layer 111 on these 200nm is deposited. This SiOx In order that the film may prevent the short circuit of the pixel electrode 109 and screening electrode 613 by a pinhole defect etc. Every 100nm Depositing in 2 steps is desirable.

[0069] Then, ITO film SiOx which serves as the gate insulating layer 111 so that this may be covered after depositing 100nm, carrying out pattern NINGU of this and forming the pixel electrode 109, and SiNx Respectively 50nm 100nm is deposited. Above 200nm SiOx This SiOx and SiNx The gate insulating layer 111 is formed and the pixel electrode 109 is installed inside into that layer.

[0070] They are a-Si of a barrier layer, and SiNx as a channel protective layer on this gate insulating layer 111. 50nm carries out 200nm deposition, respectively. And SiNx of a channel protective layer After carrying out etching formation, 50nm of n+a-Si layers as an ohmic contact layer is deposited on the shape of an island. It is SiNx at plasma CVD on ITO here. If it deposits, it turns out that defects, such as film peeling and surface nebula, occur. If deposition conditions are chosen suitably, such a defect will be avoided, and it is SiNx. It is such SiNx although it can deposit. When used as a gate insulating layer, it turned out that the property of TFT makes it inferior. Then, as film deposited on ITO in this example, it is SiOx. This was used for being desirable.

[0071] Then, n+a-Si and a-Si are etched in the shape of an island, and a contact hole is drilled in the gate insulating layer 111 of the part which takes the electrical installation of the part for a takeoff connection and the pixel electrode 109 of the scanning line 103 by BFH.

[0072] Subsequently, the 300nm deposition of Cr and the 50nm of the aluminum is carried out, respectively, pattern NINGU of this is carried out, and a signal line 105 and a drain electrode, and a source electrode are formed.

[0073] And a channel protective layer carries out etching removal of the n+a-Si layer between the source electrode of TFT107, and a drain electrode alternatively, using a signal line 105 as a mask, and a TFT array is formed.

[0074] Moreover, illustration is SiNx about a TFT top, although omitted. Since it turns out that the dependability of TFT improves by covering, it is SiNx on TFT107. SiNx on a part for each electrode takeoff connection, and the pixel electrode 109 after depositing 200nm Etching removed. It is SiOx on the pixel electrode 109 further in that case. If etching removes, image quality will improve further further. However, SiOx on this pixel electrode 109 If it is made to leave, the poor short circuit of the pixel electrode 109 and counterelectrode by the conductive foreign matter mixed, for example into the production process can be prevented.

[0075] And this TFT array substrate 115 and an opposite substrate are combined, that perimeter is closed with encapsulant, a liquid crystal constituent is poured in among both substrates, and this liquid crystal display is completed.

[0076] In addition, at this example, it is SiOx. Heat CVD is still more suitable although deposition was performed by plasma CVD.

[0077] Moreover, SiOx used as a dielectric of the auxiliary capacity 517 in this example Membranous thickness is 200nm and is the 5th example. In spite of being thin compared with 300nm, generating of the poor short circuit of a screening electrode 613 and the pixel electrode 105 is abbreviation. It was decreasing to 1/2. As a result of this carrying out comparison examination of the 5th example and 6th example, it became clear that it was what is depended on the following facts.

[0078] Although etching will stop at an a-Si layer theoretically since it is etching into an a-Si layer and a selection target in case a channel protective layer is etched in the shape of an island If there is a pinhole defect etc. in fact, when etchant infiltrates even into the gate insulating layer 111 through this pinhole, a hole may open to the gate insulating layer 111 and ITO is deposited, ITO will accumulate also on this hole and a poor short circuit will occur. however, it be form at the process before the etching process of a channel protective layer, and the pixel electrode 109 which consist of ITO in the liquid crystal display

of this example be also a deer. the ITO film by which annealing treatment be carried out at the temperature of 200 degrees C or more have very high resistance to the etchant use for etching of a channel protective layer, and an above poor short circuit do not almost have generate, except when the pinhole defect of the ITO film and the pinhole defect of an a-Si layer lap with homotopic. For this reason, it sets to this example and generating of the poor short circuit of a screening electrode 613 and the pixel electrode 105 is abbreviation. It is thought that it decreased to 1/2.

[0079] (Example 7) The top view in which drawing 13 shows the configuration of the 1-pixel part of the liquid crystal display of the 7th example, the A-A' sectional view in which drawing 14 (a) shows the layer structure, and (b) are the B-B' sectional view. In addition, the same component as the 1st example, the 6th example, etc. attaches and shows the same number as drawing 1, 2 and 11, and 12 grades.

[0080] The liquid crystal display of this 7th example is what improved the liquid crystal display of the 6th example further, it inserts the gate insulating layer 111, the 2nd gate insulating layer 215, and the 3rd insulating layer 219, respectively, carries out layer separation of a screening electrode 713, the scanning line 103, the pixel electrode 109, and the signal line 105, prevents these poor short circuit still more certainly, and enables it to set up the pattern of a screening electrode 713 freely. by this, since the still larger numerical aperture of a pixel electrode can be taken, the brightness of a screen improves, and it corresponds to 1 pixel of a signal line 105 -- since a screening electrode 713 laps with the whole surface mostly, the electrostatic-shielding effectiveness is also high.

[0081] And if there are no problems, such as a problem of scan pulse delay and potential fluctuation of a screening electrode, this screening electrode 713 can be arranged so that it may lap also with the scanning line 103 further, and can make a screening electrode 713 serve a double purpose as a Black matrix in this case.

[0082] (Example 8) Drawing 15 is the top view showing the configuration of the 1-pixel part of the liquid crystal display of the 8th example. The liquid crystal display of this 8th example improves the manufacture approach in the liquid crystal display of the 7th example, and forms that pixel electrode 109 by the self aryne using a screening electrode 813.

[0083] The pixel electrode 109 exposes and develops the garbage of the part which does not lap with a screening electrode 813 by mask exposure probably using an image reverse resist, after forming the ITO film.

[0084] Then, rear-face exposure and after carrying out mask exposure, a pattern is formed by performing and exposing image reverse BEKU completely. Such a manufacture approach can be used also when forming the pixel electrode 109 which fits manufacture of the liquid crystal display of the structure where a screening electrode 813 and the scanning line 103 are not piled up, and consists of ITO film ahead of a signal line 105. Moreover, the great portion of auxiliary capacity 517 can be formed by the last mask exposure.

(Example 9) Drawing 16 is the sectional view showing the layer structure of the 1-pixel part of the liquid crystal display of the 9th example. In addition, the same component as the 1st example, the 6th example, etc. attaches and shows the same number as drawing 1, 2 and 11, and 12 grades.

[0085] In the liquid crystal display of the 6th example, pattern NINGU of a passivation layer is included as mentioned above. The pattern NINGU process of seven processes was needed. However, in the liquid crystal display of such a configuration, this invention persons showed clearly that the process which leaves an a-Si layer in the shape of an island can be skipped as a result of research. It is such. The manufacture approach of the pattern NINGU process of six processes is explained based on drawing 16.

[0086] It is a Mo-Ta alloy on a glass substrate 101. 250nm is deposited, pattern NINGU of this is carried out, and the scanning line 103 and a screening electrode 613 are formed in coincidence.

[0087] Then, SiOx which serves as the gate insulating layer 111 on these Every 130nm It deposits in 2 steps.

[0088] Subsequently, SiOx which serves as the gate insulating layer 111 so that this may be covered after depositing the ITO film, carrying out pattern NINGU of this and forming the pixel electrode 109 and SiNx 50nm 90nm is deposited, respectively.

[0089] Above 200nm SiOx This SiOx and SiNx The gate insulating layer 111 is formed and the pixel electrode 109 is installed inside into that layer.

[0090] In succession, they are a-Si of a barrier layer 1601, and SiNx as a channel protective layer 1603 on this gate insulating layer 111. 50nm carries out 200nm deposition, respectively.

[0091] And SiNx of the channel protective layer 1603 After carrying out etching formation, 50nm of n+a-Si layers as an ohmic contact layer 1605 is deposited on the shape of an island.

[0092] Then, a through hole 1607 is formed in the pixel electrode 109 and the extraction part of the scanning line 103. At this time, a through hole 1607 is SiOx of the topmost n+a-Si layer to the gate insulating layer 111. Even the film etches continuously and punctures.

[0093] Subsequently, Mo/aluminum/Mo is deposited, pattern NINGU of this is carried out, and a signal line 105 and the drain electrode 1609, and the source electrode 1611 are formed.

[0094] After an appropriate time, the channel protective layer 1603 carries out etching removal of the n+a-Si layer between the source electrode 1611 of TFT107, and the drain electrode 1609 alternatively, using signal-line 105 grade as a mask, and etching removal of the a-Si layer on the pixel electrode 109 is carried out, and a TFT array is formed.

[0095] Furthermore, it is SiNx on TFT107. SiNx on a part for each electrode takeoff connection, and the pixel electrode 109 after depositing 200nm Etching removed. It is SiO<SUB>x on the pixel electrode 109 to coincidence in that case. Etching removes.

[0096] As mentioned above, it can form at 6 times of pattern NINGU processes. Since productivity will improve if it does in this way, it is desirable. Furthermore, although there is a case so that it may not exist in the location which should exist in an island-like semi-conductor layer pattern's designing, the TFT became a malfunction etc. and the fall of the manufacture yield was conventionally caused by pattern turbulence in the case of pattern NINGU of a semi-conductor layer, in the liquid crystal display of this example, it was checked that such a defect's generating can be avoided and the manufacture yield can be raised.

[0097] By the way, the formation process of the above-mentioned through hole 1607 is explained based on drawing 17 .

[0098] first, the ohmic contact layer 1605 which consists of n+a-Si, the barrier layer 1601 which consists of a-Si, and SiNx from -- a part of becoming gate insulating layer -- CF4 By CDE (chemical dry etching) using the gas used as a principal component, using a resist 1613, etching removal is carried out and pattern NINGU is carried out. (a)

Then, SiOx of the gate insulating layer 111 The film is etched by BHF, through hole 1607 grade is drilled, and Mo-Ta layer front faces, such as the lower layer scanning-line 103 extraction part, are exposed. (b)

At this time, they are n+a-Si film and a-Si film, such as the ohmic contact layer 1605 of that upper layer, and a barrier layer, and SiNx. The film projects in the shape of eaves on the wall surface of a through hole 1607. (c)

Then, it is CF4 further. By performing CDE processing using the gas used as the principal component, they are the aforementioned n+a-Si film and the aforementioned a-Si film, and SiNx. Etching removal of the protrusion of the shape of membranous eaves is carried out, and it is SiOx. It processes so that it may fully retreat rather than a wall surface. At this time It is desirable to retreat about 0.1-3 micrometers.

And since etching removal of the exposed oxide on the front face of Mo-Ta is lightly carried out at this time, electrical installation with the Mo/aluminum/Mo film deposited in next will become still better. (d)

Since a mouse hole will be formed if the coverage of the ingredient which there is a level difference part and is arranged on it is bad and puts a level difference part to an etching reagent at the time of etching, although the through hole 1607 has removed the eaves-like protrusion, and a stage piece is carried out in many cases, it is more desirable than the pattern of a through hole 1607 like this example to set up greatly the circuit pattern which consists of the so-called Mo/aluminum/Mo film deposited on the upper layer.

[0099] In addition, it is not limited to the above-mentioned process and formation of a through hole is

SiOx. It is SiOx, although reactive ion etching (RIE) may be used in order to prevent an undercut. It must etch alternatively [in case it etches by RIE / Mo-Ta of a substrate], and is SiOx at the condition. An etching rate Since it is obtained only a minute only in about 500Å /, productivity is low. Moreover, since a front face may become dirty and the property of TFT107 may deteriorate if a resist is applied on n+a-Si, it is Mo on n+a-Si. It is desirable to deposit about 500Å and to carry out etching removal of the Mo after through hole formation. Furthermore, skipping the pattern NINGU process of the a-Si film does not limit to being able to apply also to the liquid crystal display of other examples, and not necessarily carrying out combining a screening electrode. For example, the layer structure is applicable also to various configurations as shown in drawing 18 thru/or drawing 22 .

[0100] In addition, in a configuration as shown in drawing 21 and 22, it is not necessary to form a through hole on the pixel electrode 109 but, and in a part for the takeoff connection of the scanning line 103, it is desirable to use the above processes. Furthermore, in the case of drawing 22 , the passivation layer 1615 on a screening electrode 613 may carry out etching removal, in order to enlarge auxiliary capacity.

[0101] moreover, if it is made a configuration as shown in drawing 22 , a part for the through hole of the side which connects the source electrode 1611 and the pixel electrode 109, and the takeoff connection of the scanning line 103 will be formed at the same process -- since a TFT array can be formed at 5 times of pattern NINGU processes, productivity improves further. At this time, etching is SiNx of the passivation layer 1615 by RIE. SiNx of the film to the gate insulating layer 111 Even the film continues by carrying out and it is SiOx at BHF. After etching the film, the configuration without an eaves-like protrusion was acquired by performing the same CDE processing as the above.

[0102] Since total of the thickness of the insulator layer which especially the example shown in drawing 22 is the thing in which the pixel electrode 109 was formed on the passivation layer 1615, and is used as a dielectric of auxiliary capacity can be enlarged, the large lap of a screening electrode 613 and the pixel electrode 109 must be taken, for example, and it is especially effective to control the value of auxiliary capacity moreover.

[0103] (Example 10) Drawing 23 is the sectional view showing the layer structure of the 1-pixel part of the liquid crystal display of the 10th example. In addition, the same component as an example as stated above attaches and shows the same number.

[0104] For example, although the short circuit of a pixel electrode, a screening electrode, a signal line, the scanning line, etc. was prevented using an insulating layer like a gate insulating layer in the liquid crystal display of an example as stated above as shown in drawing 11 , if the number of layers of such an insulating layer is increased, a membrane formation process will increase and the rise of a manufacturing cost will be caused. This is because membrane formation cost becomes high by using the expensive equipment and the gas used like plasma-CVD equipment, a film ingredient, etc.

[0105] Then, although it is requested that an insulating layer is formed in low cost, in order to realize this, the approach of anodizing the front face of a screening electrode is suitable. Moreover, according to anodic oxidation, since a pinhole does not occur, short generating is avoidable between layers.

[0106] A screening electrode 1013 and the scanning line 103 are formed on a glass substrate 101 from aluminum thin film, and it is in a way acid about the front face. Constant current oxidation is carried out to 100V, constant current oxidation is further carried out for 30 minutes after that, and aluminum₂O₃ 2301 are formed.

[0107] After that, spatter membrane formation is carried out, pattern NINGU of the ITO film is carried out, and the pixel electrode 109 is formed.

[0108] Next, about gate dielectric film 111, it is SiOx. The film or SiOx The film and SiNx It forms by the membranous cascade screen. Besides the a-Si film is formed and it is SiNx. Pattern NINGU of the film is carried out and the channel protective layer 1603 is formed. And after depositing the n+a-Si film, pattern NINGU of the a-Si film is carried out at the shape of an island, and a barrier layer 1601 is formed.

[0109] And the laminating of aluminum/Mo is carried out by the spatter, and the source electrode 1611 and the drain electrode 1609 are formed. It is SiNx so that besides may be covered. The PAJJIBESHON

layer which consists of film is formed and it is SiNx of pixel electrode 109 part and the wiring drawer section. Etching removal is carried out.

[0110] The aforementioned screening electrode 1013 and scanning-line 103 grade are not only aluminum but Ta and TaNx, Ti, Nb, TiNx, and TaNx/Ta/TaNy. You may form from ingredients, such as a cascade screen.

[0111] Especially, they are Ta or TaNx. If plasma-CVD membrane formation of the a-Si film is performed after an oxide film on anode carries out the laminating of the ITO film on it, In and Sn will diffuse the inside of an oxide film on anode, and leakage current will increase. then, it is shown in drawing 24 -- as -- SiOx and SiNx Or TiOx and AlOx the ingredient which consists of an atom with an ionic radius smaller than In [like] and Sn -- using -- 1000Å -- desirable -- By forming the thin film 2401 of 200-500Å thickness between Ta system oxide film on anode and the ITO film, diffusion into the oxide film on anode of In and Sn can be prevented, and increase of leakage current can be avoided.

[0112] Moreover, Ta or TaNx The alloy which mixed Si may be used. Or TaSiNx/Ta/TaNx Wiring may be formed by the laminated structure and the front face may be anodized.

[0113] Moreover, it is also effective in control of leakage current to form gate dielectric film 111 by the spatter.

[0114] By adopting such structure and its manufacture approach, in a production process, the number of expensive plasma-CVD membrane formation processes can be reduced, and a manufacturing cost can be made cheap.

[0115] Moreover, specific inductive capacity aluminum 2O3, TaOx, TaNx Oy, TiOx, Ta-Si-O, and Ta-Si-N-O, respectively It is 7, 30, 20, 85, 20-15, and is SiOx. Since it is large compared with 4, there is an advantage that the value of the auxiliary capacity which used the screening electrode 1013 for one electrode can be enlarged in a small area.

[0116] Moreover, since it will be easy to generate a pinhole defect and will be easy to generate the short circuit defect resulting from this if there is dust in the film formed by plasma CVD in an activity ambient atmosphere, the thickness needs to make it to some extent thick. Although the gate insulation layer thickness used for TFT107 on the other hand is total with the insulating layer on the pixel electrode 109 of ITO, and a lower insulating layer, it is not desirable. [of the thickness being too thick, and thickness being too thick, since it becomes impossible for the ON state current to fully take when capacity is small] Therefore, as for the aforementioned thin film 2401 grade which is an insulating layer, it is effective to form with the quality of the material with high specific inductive capacity.

[0117] It is effective to lower the capacity value on the other hand, with the coupling capacity formed among these, in order to control this although it may become poor displaying the pixel when a signal line 105 and the pixel electrode 109 cause pattern turbulence and lap. therefore, SiOx with specific inductive capacity smaller than liquid crystal etc. -- since it is effective to insert an insulator layer in the thickest possible layer between a signal line 105 and the pixel electrode 109, it is effective in the insulating layer of the 1st layer to use an oxide film on anode.

[0118] (Example 11) When it runs and electrical-potential-difference; Δ **** differs for every location in a screen, it is impossible to set up the offset suitable counterelectrode electrical potential difference to all the pixels in a screen, poor image display, such as a flicker, and active jamming stripes, printing, occurs, and it has become the factor which reduces display grace remarkably.

[0119] Then, such a cure that runs and stops an electrical potential difference is needed. This is explained below based on drawing 25 .

[0120] When auxiliary capacity was formed for a screening electrode and a pixel electrode in piles and the lap width of face which forms the auxiliary capacity 2501 was set as optimal width-of-face;WCS, artificers checked that it was effective in running and the distribution width of face in the screen of electrical-potential-difference; Δ **** becoming small.

[0121] Required TFT size;W is determined to a certain Cs0 and Clc-max. Lap width of face which forms the auxiliary capacity 2501 here; if Wcs is changed, it is the capacity value Cs. In order to change, it is necessary to change the aforementioned W corresponding to it. However, optimal width of face determined that it runs and will take into consideration change by Wcs of electrical-potential-

difference; Δ ****, and fluctuation of W by that cause; there is Wcs. That is, dispersion in line breadth with the screening electrode used as the scanning line and the electrode of auxiliary capacity is made to offset. It will run, if it is set as such a WCS, and electrical-potential-difference Δ **** can be held down to min.

[0122] Then, some kinds of TFT-LCD to which Wcs and W were changed was actually made as an experiment, it ran in the screen, and electrical-potential-difference; Δ **** was measured. It solved, and was referred to as gate electrode width-of-face; $L_g = 13$ micrometer, and, as for TFT107, the channel protective layer used this self-alignment type with which it was formed of self align to the gate electrode of thing. However, distribution (location-dispersion) of line breadth intentionally at the process which forms the gate and a screening electrode It was made for about 1 micrometer to happen. The situation of the distribution is shown in drawing 26.

[0123] How to use a formula below and ask a detail for above-mentioned WCS further is explained.

[0124] Here, it is L_g ; Gate electrode width of face W_g ; The die length L_{cs} of a channel protective layer; The die length W_{cs} of the lap of the pixel electrode and screening electrode which form auxiliary capacity; Width of face of auxiliary capacity (area of = auxiliary capacity / L_{cs})

C_{gi} ; capacity value C_{si} of the gate insulating layer per unit area; Capacity value C_{so} of the auxiliary capacity per unit area; Capacity value of the auxiliary capacity on a design (design value)

C_s ; capacity value of auxiliary capacity (actual value)

C_{lc-max} ; -- maximum C_{lc-min} ; with a liquid crystal capacity of 1 pixel -- the minimum value C_g with a liquid crystal capacity of 1 pixel; Parasitic capacitance W_o between the gate (scanning line) sources (pixel electrode); Width of face (design value) of TFT on a design

W ; TFT Width of face (actual value which changes with C_s)

V_g ; scanning-line applied voltage β ; Constant (however, $\beta = (C_{lc-max} + C_{lc-min}) / 2 C_{lc-max}$)

It comes out. Moreover, it is referred to as $W_g = W + 5$ micrometer in this example.

It runs and electrical-potential-difference; Δ **** is Δ **** = $(V_g \text{ and } C_g) / (C_s + \beta C_{lc-max})$.

$C_g = L_g$ and $W_g - C_{gi} / 2 C_s = L_{cs} - W_{cs} - C_{si}$ -- formation of the screening electrode used also [electrode / of an $\alpha = (C_{so} + C_{lc-max}) / W_o W = (W_{cs} - L_{cs} - C_{si} + C_{lc-max}) / \alpha$ gate electrode and the scanning line, or auxiliary capacity] here -- setting -- design top X0 if the pattern width of face done to pattern width of face sets to X -- $dC_g/dX = (dC_g/dL_g) \times (dL_g/dX)$

$= W_g - C_{gi} / 2 \times 1 dC_s/dX = (dC_s/dW_{cs}) \times (dW_{cs}/dX)$

$= \text{From more than } L_{cs} - C_{si} / 2 (1/V_g) \times (d\Delta$ **** $/dX) = (W_g - C_{gi} / 4) \times \{2(C_s + \beta C_{lc-max}) - L_g \text{ and } L_{cs} - C_{si}\} / (C_s + \beta C_{lc-max})^2$ What is necessary is here, just to set up W_{cs} so that it may be set to $d\Delta$ **** $/dX = 0$ in order to make change of Δ **** the smallest by change of X. Therefore, such optimal W_{cs} is from an upper type. $W_{cs} = (L_g \text{ and } L_{cs} - C_{si} - 2 \beta C_{lc-max}) / (2 L_{cs} - C_{si})$, then a good thing are drawn.

[0125] if it is considering as the same configuration as the liquid crystal display of the 7th example in the case of this example, but the main parameter is mentioned -- $L_g = 13$ micrometers, $L_{cs} = 550$ micrometer, $C_{lc-max}/C_{lc-min} = 0.35\text{pF} / 0.14\text{pF}$, and $C_{si} = 1.8 \times 10^{-4}\text{pF}/\text{micrometer}^2$ it is -- if it substitutes for an upper type, an optimum value will serve as $W_{cs} = 4$ micrometer. It actually sets to this example and is W_{cs} . It was set as 4 micrometers, and as a result of being at viewing and verifying the display image, it was checked that good display grace is realizable.

[0126] In addition, width of face of auxiliary capacity; W_{cs} is not limited only to the above-mentioned optimum value. It is W_{csopt} about the optimum value so that drawing 26 may show. If it carries out, it is $0.7W_{csopt} \leq W_{cs} \leq 2W_{csopt}$. If it sets up, practical sufficient effectiveness can be acquired.

[0127] Moreover, in the field where W_{cs} is small, it is C_s so that drawing 26 may show. When the rate of fluctuation becomes large relatively, fluctuation of Δ **** becomes large, but if a numerical aperture is taken into consideration, the smaller one of W_{cs} is desirable. Therefore, for stopping Δ **** in this case, it is L_g . It is desirable to make it small.

[0128] According to the place which artificers furthermore tried and evaluated in the detail, also when the scanning line and a gate electrode, and a screening electrode were formed at another process like the 7th example, it was checked that dispersion in the screen of Δ **** is decreasing. In spite of forming

this at another process, it is because a correlation is in line breadth change with the line breadth of the scanning line and a gate electrode, and the line breadth of the electrode of auxiliary capacity. Since this performed each process within the same equipment in the case of this example, pattern NINGU conditions peculiar to the equipment turn into same conditions also at each process of another process, and it is considered to change mutually and to fold so that the width of face of fluctuation of the aforementioned line breadth decreases dispersion in the screen of delta****.

[0129] In order that the above may run through drawing 27 and it may decrease still more positively dispersion in the screen of electrical-potential-difference delta****, it is drawing showing the example of the liquid crystal display which arranged the amendment section 2701. This amendment section 2701 is that the pixel electrode 109 and the scanning line 103 lap, and forms Cgs for amendment. Not only making dispersion in line breadth with the screening electrode used as the scanning line and the electrode of auxiliary capacity offset but in the liquid crystal display of this example, we checked the thing to depend on dispersion in the line breadth of the pixel electrode 109 and which you can run and can be made to also offset electrical-potential-difference delta****.

[0130] However, since this amendment section 2701 functions as Cgs, it is desirable to set a display property as the capacity value of extent which is not aggravation ****. That is, it is desirable to form in the size which can realize the above-mentioned amendment effectiveness on a process as small as possible.

[0131] In addition, when using a screening electrode as a Black matrix by the side of a signal line, the poor display by the disclination of liquid crystal needs to be made not to be checked by looking by the screen. This disclination is said to be caused by the electric field of the longitudinal direction to a liquid crystal layer generally, and is generated in the shape of Rhine at the edge of a pixel electrode. Moreover, generating of this disclination is influenced also in the directions of orientation, such as rubbing. Since rubbing orientation processing is performed in the direction of slant in order to follow, for example, to use for OA in a case like the liquid crystal display of the 5th example, the generating situations of disclination differ at the left-hand side edge and right-hand side edge of a pixel electrode. When it actually displays as a result, while disclination is conspicuous, at the left-hand side edge of a pixel electrode, it seems to hardly generate in a right-hand side edge. Therefore, in such a case, the lap of a screening electrode and a pixel electrode can conceal the poor display by disclination with a screening electrode, if the left-hand side edge of a pixel electrode is set up so that it may lap more greatly than a right-hand side edge. Thus, it is desirable to conceal the poor display by disclination.

[0132] Moreover, since disclination may be generated in a form which is caught in level difference parts which touch a liquid crystal layer, such as orientation film and passivation film, in order to avoid this, it is desirable that keep one's distance from the outside of a pixel electrode enough as level differences, such as a protective coat (passivation film), are not formed on a pixel electrode, and detach to about 10 micrometers desirably, and a level difference is arranged. Furthermore, as for the edge of such a protective coat, it is desirable to process it in the shape of [loose] a taper so that a level difference may not become steep.

[0133] Moreover, in the above example, although metallic materials, such as Mo-Ta and aluminum, are used as an ingredient of a screening electrode, it does not limit to this. Since the potential fluctuation based on a time constant will become large if this screening electrode has high resistance when making it serve a double purpose as an electrode of auxiliary capacity, other ingredients can also be used if process adjustment is high among ingredients with low resistance with high conductivity.

[0134] In addition, it cannot be overemphasized that it can change suitably according to the specification of each liquid crystal display in the range which the pattern of a TFT array, layer structure, an ingredient, etc. are not limited to the above-mentioned example, and does not deviate from the summary of this invention.

[0135]

[Effect of the Invention] As explained in full detail above, according to this invention, the parasitic capacitance between a pixel electrode, and the scanning line and the signal line close to this can be reduced, and the liquid crystal display which cancels the brightness unevenness and cross talk of a

display image, and realizes good image display can be offered.

[Translation done.]

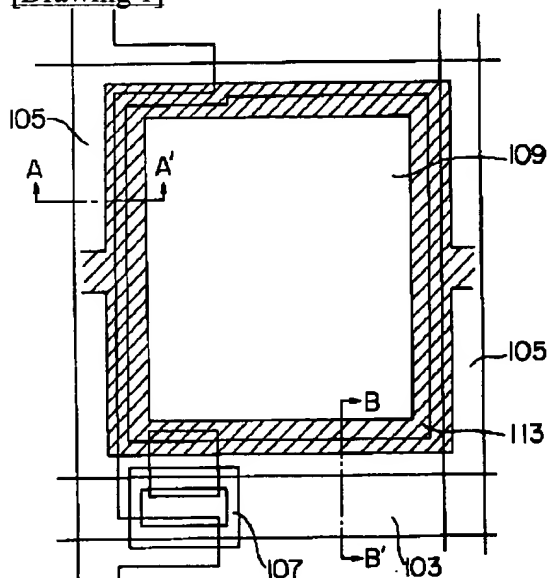
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

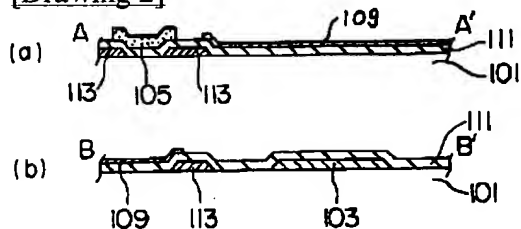
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

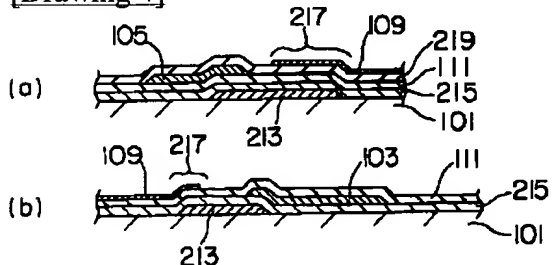
[Drawing 1]



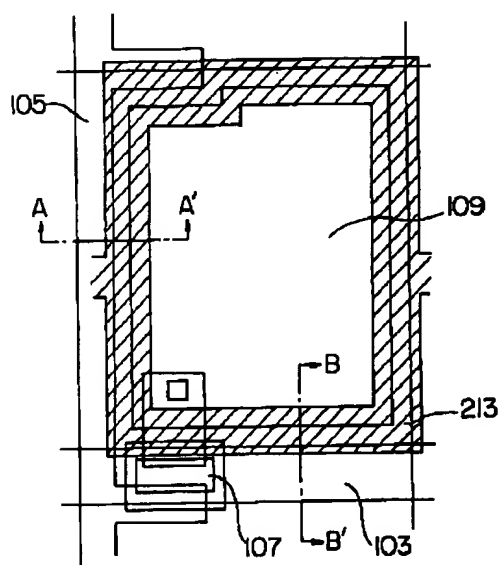
[Drawing 2]



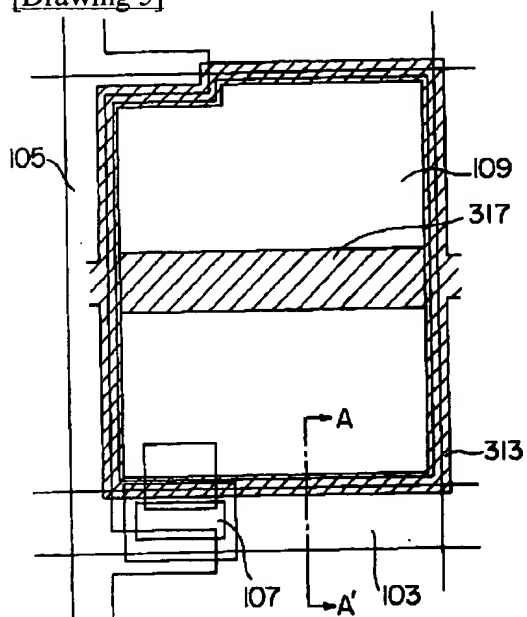
[Drawing 4]



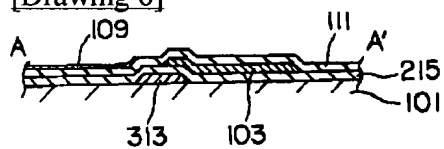
[Drawing 3]



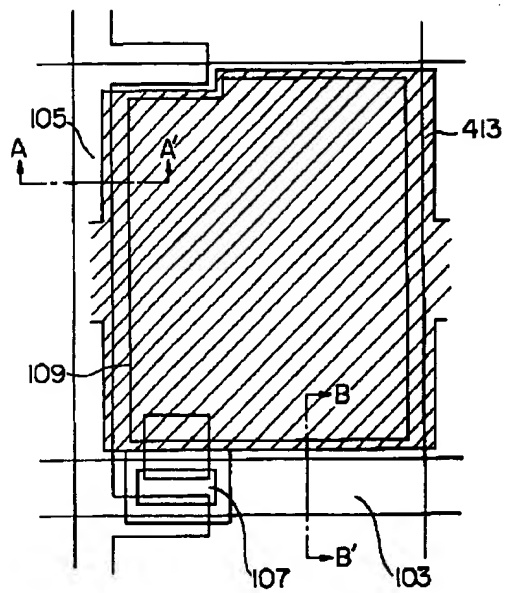
[Drawing 5]



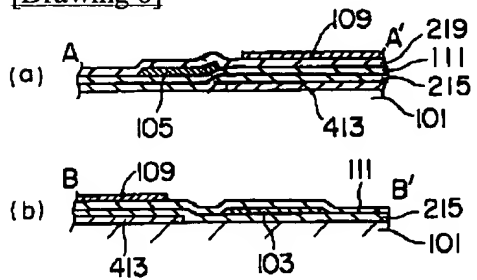
[Drawing 6]



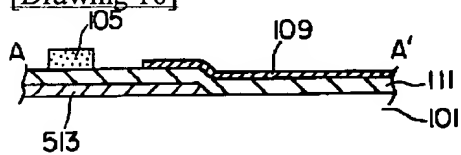
[Drawing 7]



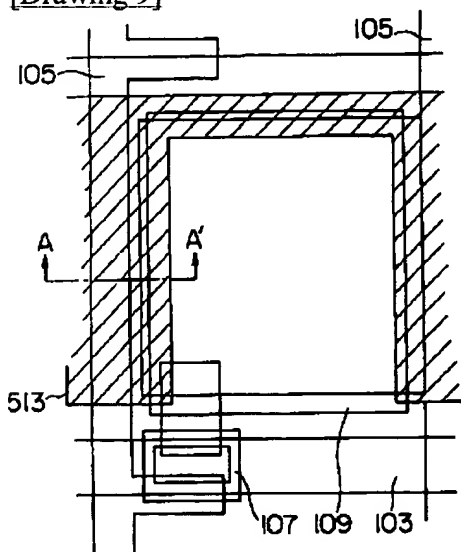
[Drawing 8]



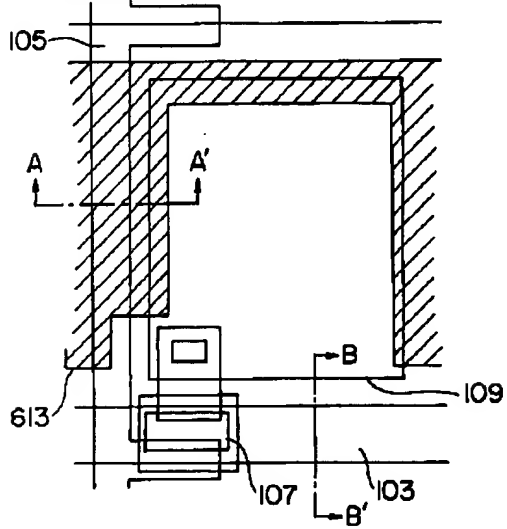
[Drawing 10]



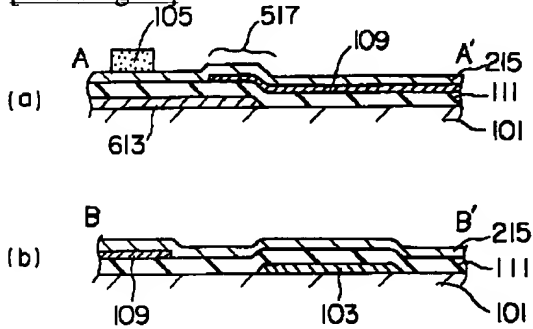
[Drawing 9]



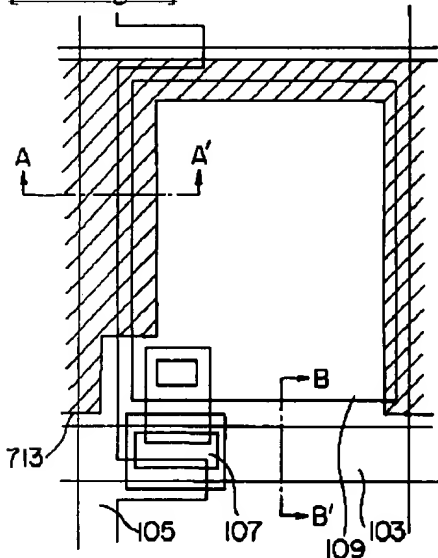
[Drawing 11]



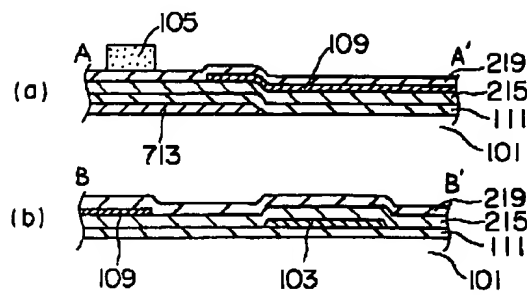
[Drawing 12]



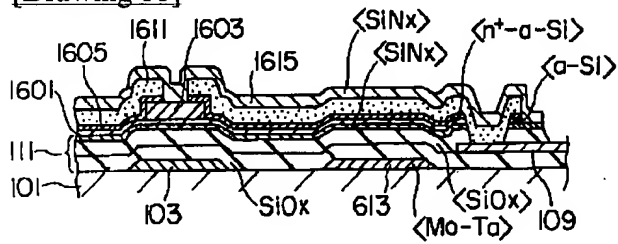
[Drawing 13]



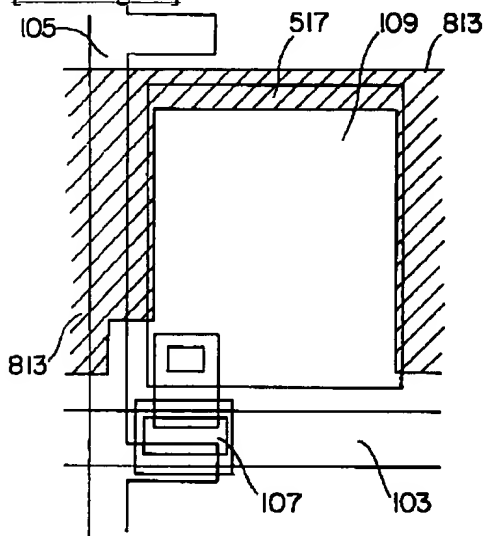
[Drawing 14]



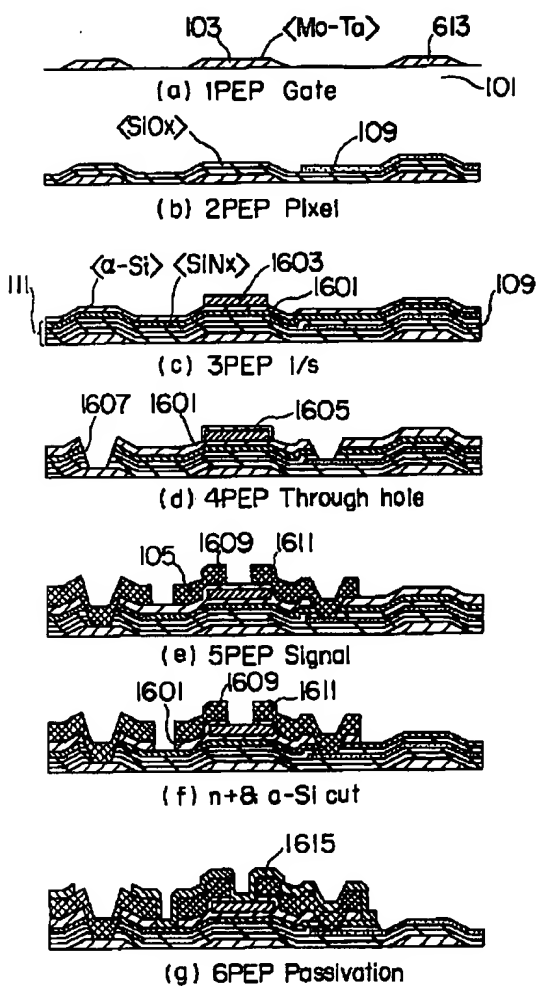
[Drawing 18]



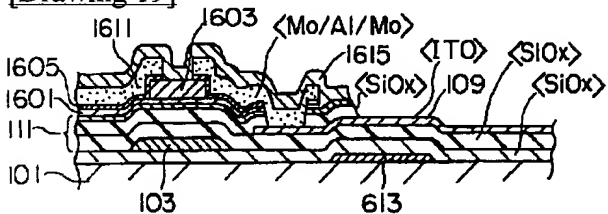
[Drawing 15]



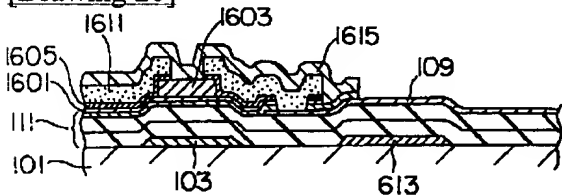
[Drawing 16]



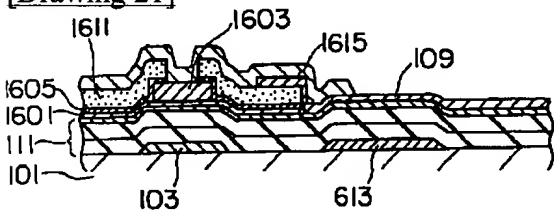
[Drawing 19]



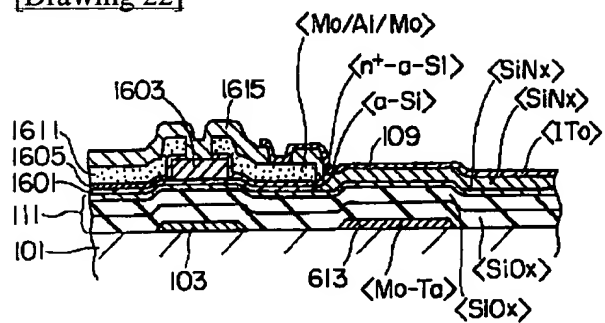
[Drawing 20]



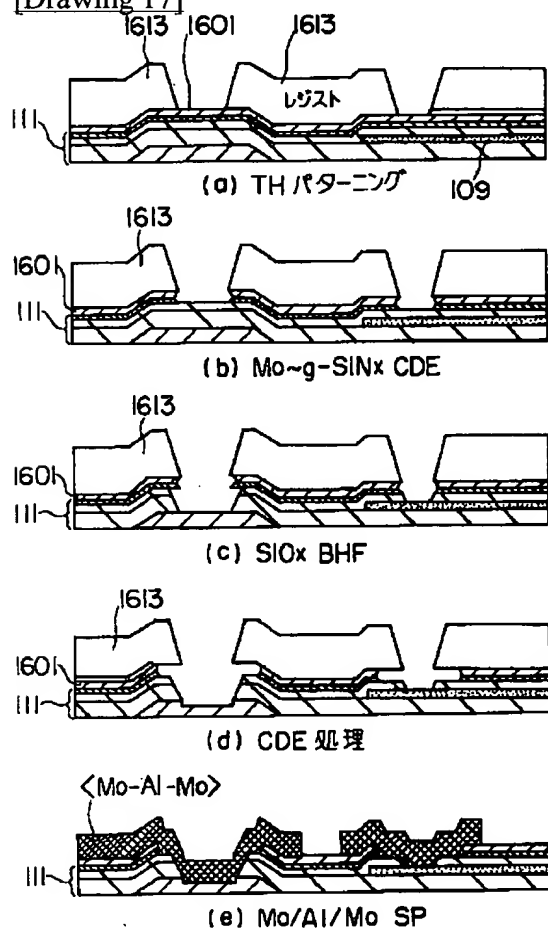
[Drawing 21]



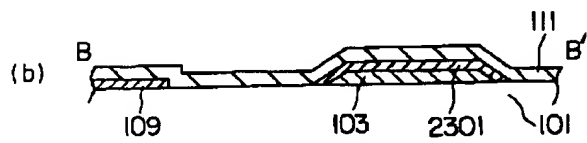
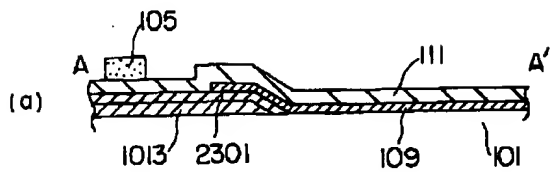
[Drawing 22]



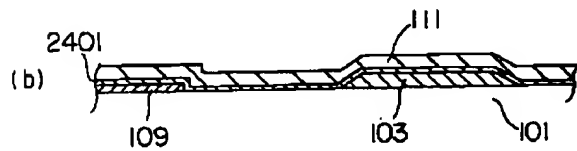
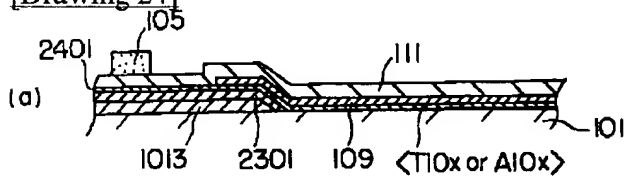
[Drawing 17]



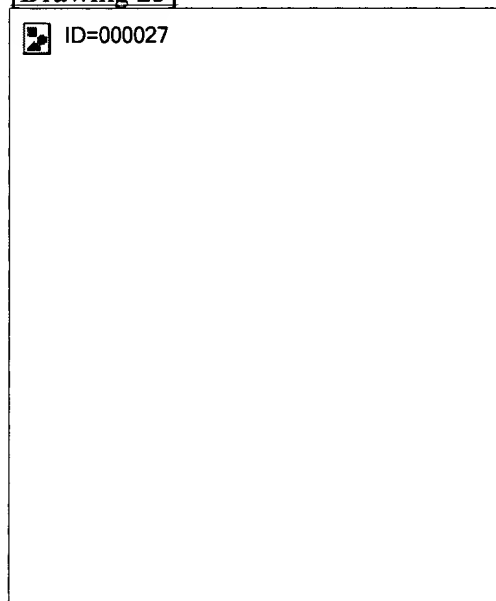
[Drawing 23]



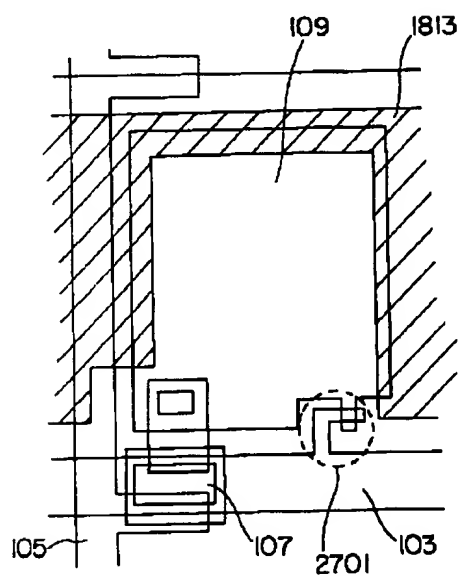
[Drawing 24]



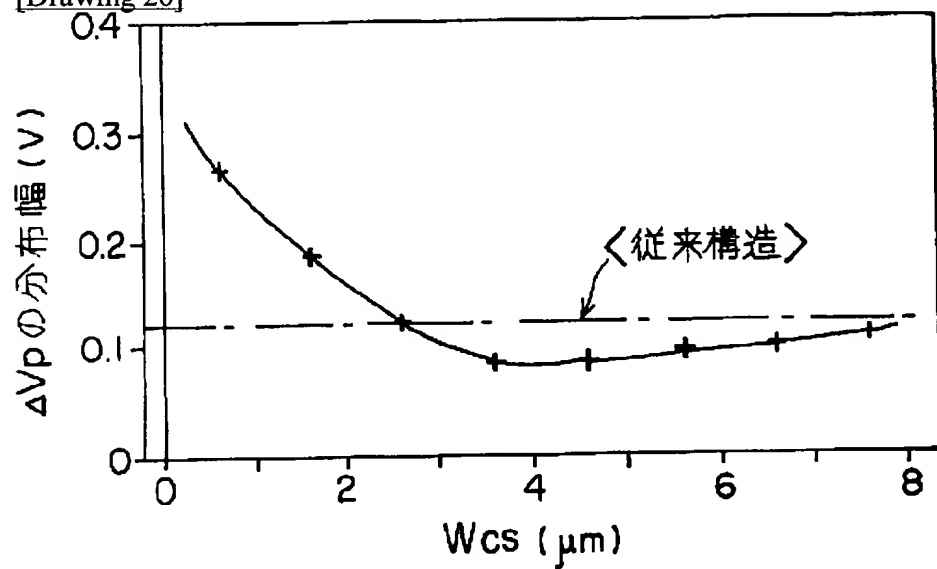
[Drawing 25]



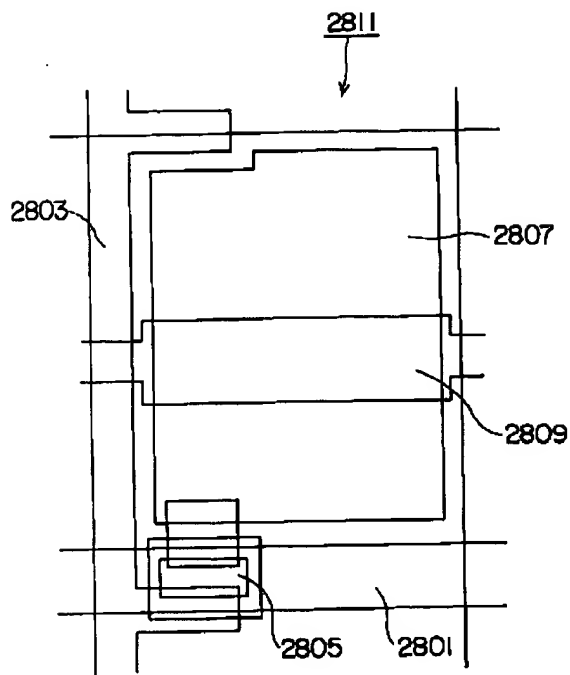
[Drawing 27]



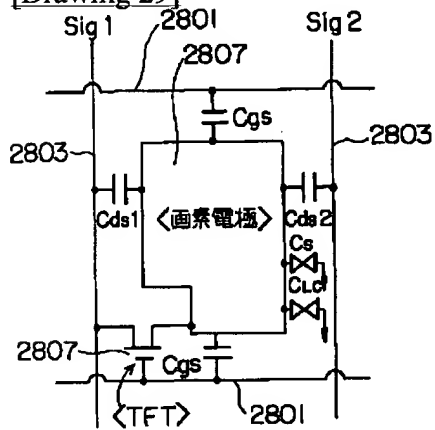
[Drawing 26]



[Drawing 28]



[Drawing 29]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-203994

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	
H 0 1 L	27/12	A	8728-4M	
			9056-4M	
			H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数1(全 18 頁) 最終頁に続く

(21)出願番号 特願平4-245121

(22)出願日 平成4年(1992)9月14日

(31)優先権主張番号 特願平3-243745

(32)優先日 平3(1991)9月24日

(33)優先権主張国 日本(J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 上田 知正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 秋山 政彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 菅原 淳

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74)代理人 弁理士 須山 佐一

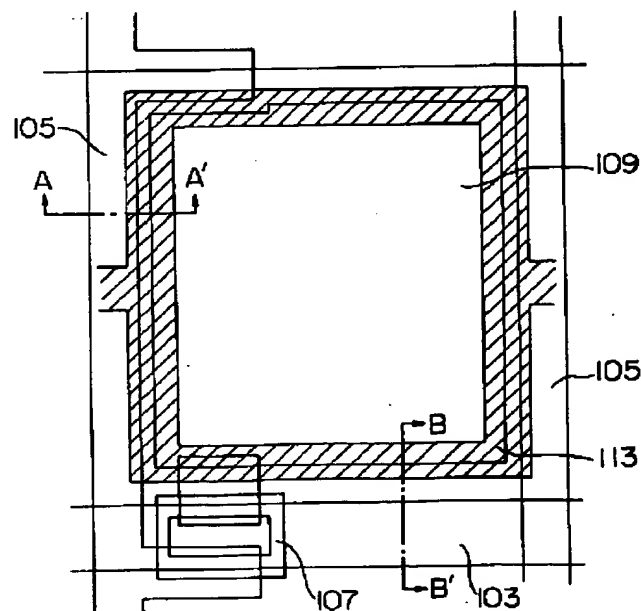
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 画素電極とこれに近接する走査線や信号線との間の寄生容量を低減して、表示画像の輝度むらやクロストークを解消し良好な画像表示を実現する液晶表示装置を提供する。

【構成】 走査線103および信号線105に接続されたTFT107とこれに接続された画素電極109とを有するアレイ基板と、これに対向する対向電極を有する対向基板と、前記のアレイ基板および前記の対向基板の間に挟持された液晶層とを有する液晶表示装置において、前記の画素電極109の周縁部の少なくとも一部に重なり、かつ走査線103および信号線105のうち少なくとも一方に重なるように配設された静電遮蔽性を有するシールド電極113を前記のアレイ基板上に具備する液晶表示装置である。



(2)

1

【特許請求の範囲】

【請求項1】 列設された走査線とこれに交差して列設された信号線と前記走査線および前記信号線に接続された薄膜トランジスタ素子とこれに接続された画素電極とを有するアレイ基板と、
これに対向する対向電極を有する対向基板と、
前記アレイ基板および前記対向基板の間に挟持された液晶層とを備え、
前記画素電極の周縁部の少なくとも一部に重なり、かつ前記走査線および前記信号線のうち少なくとも一方に重なるように配設された静電遮蔽性を有するシールド電極を前記アレイ基板上に具備することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置に関するもので、特に薄膜トランジスタを用いたアクティブマトリックス型液晶表示装置に関する。

【0002】

【従来の技術】電子機器の小型化や軽量化および低消費電力化が近年進められているが、ディスプレイデバイスの分野においてもCRT (Cathode Ray Tube) から代替する小型、軽量、低消費電力のディスプレイデバイスとして、フラットパネルディスプレイの研究・開発が盛んに行なわれている。

【0003】このなかでも、特に液晶表示装置は、大面積表示が可能であることや、フルカラー化が可能であること、および低電流・低電圧動作のディスプレイデバイスであること等の特長を有している。そのような液晶表示装置としては、目的に応じて様々な動作方式のものが用いられるが、なかでもアクティブマトリックス型液晶表示素子はフルカラーの動画表示を高解像度で行なうことが可能である等の特長を有しており、注目を集めている。

【0004】アクティブマトリックス型液晶表示装置は、マトリックス状に配置した電極の交差部分ごとに画素を配置し、その画素ごとにスイッチング素子を配設して、このスイッチング素子で接続された画素を個別に駆動制御するものであるが、このようなアクティブマトリックス型液晶表示装置には、薄膜トランジスタ（以下、TFTと略称）を用いることが注目され、研究・開発が盛んに行なわれて既に実用に供されているものもある。

【0005】現在、例えばラップトップ型コンピュータ用の液晶表示装置として対角10インチサイズで画素数が縦480×横640程度のものが主流であるが、より高画質、高精細の直視型液晶ディスプレイや、ファインピッチで高精細な投射型（プロジェクション型）表示装置を*

$$\Delta V_p = \{ C_{gs} / (CLC + C_s + C_{gs} + C_{ds}) \} \times \Delta V_g$$

このような突き抜け電圧と呼ばれる電位変動 ΔV_p が存

2

* 目指した研究・開発が行なわれている。

【0006】このようなTFTを用いたアクティブマトリックス型液晶表示装置の構成を、そのTFTアレイ基板の画素部分を抜き出して図28に示す。また図29は、その画素部分全体の電気的な構成を示す等価回路図である。

【0007】ガラス絶縁基板上に、列設された走査線2801と、これに交差して列設された信号線2803と、これら走査線2801および信号線2803に接続されたTFT2805と、これに接続された画素電極2807と、この画素電極2807に絶縁膜を介して対向し補助容量 C_s を形成する補助容量電極2809が形成されて、TFTアレイ基板2811が形成されている。そしてこのTFTアレイ基板2811に対向する対向電極2813と、画素電極2807および対向電極2813の間に配向膜（図示省略）を介して挟持された液晶層2815とから液晶表示装置はその主要部が構成されている。

【0008】このような構成の装置は、走査線2801が選択される期間、すなわち走査選択期間にTFT2805がON（導通状態）になり、信号線2803を介して印加される電圧により画素電極2807と対向電極2813とこれらに挟持された液晶層2815とで形成される液晶容量CLCと、TFTアレイ基板2811に作り込まれた補助容量 C_s とが充電される。そして走査線2801が選択されない期間、すなわち走査非選択期間にはTFT2805がOFF（高抵抗状態）になり、画素電極2807は信号線2803から電気的に切り離された状態となる。そして前記の走査選択期間中に蓄えられた電荷により点灯しきい値以上の電圧が液晶層2815に印加されている間は、その画素の点灯状態が維持される。

【0009】ところで、上記のようなTFTを用いたアクティブマトリックス型液晶表示装置においては、画素電極2807と走査線2801との間、および画素電極2807と信号線2803との間に、それぞれ寄生容量 C_{gs} 、 C_{ds} という静電容量が形成される。これらの寄生容量 C_{gs} 、 C_{ds} によって画素電極2807は走査線2801や信号線2803と容量結合されるため、走査線2801や信号線2803の電位変動が画素電極2807の電圧に影響を与え、その電圧をノイズ的に変動させる。

【0010】走査線2801の電位変動が問題となるのは、特に走査パルスの立ち下がりの際で、この走査パルスの立ち下がりの電圧変化に応じて突き抜け電圧と呼ばれる電位変動 ΔV_p が起こる。ここで、このような電位変動 ΔV_p は、次のような式で示される値をとる。

このような突き抜け電圧と呼ばれる電位変動 ΔV_p が存 50 在するために、画素電極2807の電位が信号線280

(3)

3

3に印加した所定の信号電圧とは異なったものとなり、正確な信号電圧の書き込みが妨げられる。そこで従来の技術では、これに対応して対向電極2813の電位を電位変動 ΔV_p 分シフトさせ、この突き抜け電圧と呼ばれる電位変動 ΔV_p を補償するようにして対処している。

【0011】しかしながら、CLCは一定ではなく液晶にかかる電圧や液晶の姿勢によって変化し、また製造上の問題からも画面内の C_{gs} 、 C_s 、CLCをばらつきなく全て一定とすることは不可能である。このため、 ΔV_p は同一画面内でも一定ではなく位置ごとにばらつきがあり、対向電極2813の電位を調整するだけでは必ずしも十分に補償することができない。その結果、画面上にフリッカや焼き付きが発生する。

【0012】一方、信号線2803の電位は映像信号電*

$$\Delta V_{ps} = (C_{ds1} \times \Delta V_{sig1} + C_{ds2} \times \Delta V_{sig2}) / (CLC + C_s + C_{gs} + C_{ds1} + C_{ds2})$$

となる。この電位変動 ΔV_{ps} が、1フレームごとに、言い換えれば画面の一番下の画素列を書き込むごとに起こる。このため、画素ごとに見ると、書き込みが行なわれて ΔV_{ps} が発生するまでの時間が画面の上下で異なるため、それが画面の輝度の位置的ばらつきとして現れる。これがいわゆる画面の輝度むらと呼ばれるものとなって観察される。

【0014】そしてさらに C_{ds1} 、 C_{ds2} が大きくなると信号線2803の電位変動が画素電極2807の電位変動を引き起こしてクロストークを発生させてしまう。

【0015】これらの寄生容量は、TFTアレイ基板2811において、次のような場所に形成される。まず C_{gs} は、主にTFT2805のチャネル部分と走査線2801およびゲート電極と画素電極2807（ソース電極）の重なる部分で形成される。また C_{ds1} 、 C_{ds2} は、主に画素電極2807と信号線2803とが近接する部分で形成される。

【0016】前述のように液晶表示装置の小型化・高精細化が進み、1画素の寸法がますます微細化すると、画素の開口率を向上させ輝度を高くするためにもますます各電極間距離を近付けることが必要となってくる。そしてこのように各電極間距離を近付けると、上記の寄生容量 C_{gs} 、 C_{ds1} 、 C_{ds2} は、ますます大きな値となり、これに起因して輝度むらやクロストークがますます顕著に発生し、表示画像の品質が低下する。

【0017】一方、走査線2801および信号線2803と画素電極2807との間の間隙を光が透過して画素部分のコントラストが低下することを避けるため、およびTFT2805に光が入射して光電流を発生させTFT2805が誤動作することを避けるために、従来の液晶表示装置には、ブラックマトリックス、あるいはブラックマスクと呼ばれる遮光膜が用いられている。このブラックマトリックスは、通常対向基板側に設けられており、TFTアレイ基板2811と対向基板とを対向配置

4

* 圧に対応して常に一様ではなく変動しているため、この信号線2803に起因した画素電極2807の電位変動は走査線2801の場合よりも頻繁かつ多様な電位変動となる。その一例としてフレーム反転での変動の様子を説明する。

【0013】フレーム反転では、全ての信号線2803電位を同一極性とし、1フレームごとに信号線2803の極性を反転するため、この極性を反転したときが最も信号線2803の電位変動が大きい。このときの画素電極2807の電位変動 ΔV_{ps} は、画素電極2807との間で寄生容量を形成する左右両側の信号線2803の電位変動を ΔV_{sig1} 、 ΔV_{sig2} とし、またその寄生容量をそれぞれ C_{ds1} 、 C_{ds2} とすると、

させる際に画素部の開口させたい部分にブラックマトリックスの開口部が位置するようにアライメントさせていた。

【0018】しかしながら、前述のように液晶表示装置の小型化・高精細化が進み、1画素の寸法がますます微細化すると、画素の開口率を向上させ輝度を高くするためにはさらに微細なパターンサイズおよび精度に画素電極やブラックマトリックスを形成し、しかも対向基板（図示省略）とTFTアレイ基板2811とをさらに微細で精巧にアライメントせねばならず、その製造がさらに困難なものとなる。

【0019】

【発明が解決しようとする課題】このように、従来の液晶表示装置においては、寄生容量に起因して、輝度むらやクロストークが発生するという問題があった。

【0020】また、画素がますます微細化すると、画素電極やブラックマトリックスのパターン精度やアライメントトレランスがますます厳密でシビアなものになり、その製造がますます困難なものとなるという問題があった。

【0021】本発明は、このような問題を解決するために成されたもので、その目的は、画素電極とこれに近接する走査線や信号線との間の寄生容量を低減して、表示画像の輝度むらやクロストークを解消し良好な画像表示を実現する液晶表示装置を提供することにある。

【0022】

【課題を解決するための手段】本発明の液晶表示装置は、列設された走査線とこれに交差して列設された信号線と前記走査線および前記信号線に接続された薄膜トランジスタ素子とこれに接続された画素電極とを有するアレイ基板と、これに対向する対向電極を有する対向基板と、前記アレイ基板および前記対向基板の間に挟持された液晶層とを備え、前記画素電極の周縁部の少なくとも一部に重なり、かつ前記走査線および前記信号線のうち

(4)

5

少なくとも一方に重なるように配設された静電遮蔽性を有するシールド電極を前記アレイ基板上に具備することを特徴としている。

【0023】なお、前記のシールド電極は、光遮断性の高い材質から形成し、走査線や信号線と画素電極との間の間隙部分の光透過を遮断する遮光膜、いわゆるブラックマスクとして兼用するようにしてもよい。

【0024】また、前記のシールド電極は、画素の液晶容量に並列に接続された補助容量や蓄積容量の一方の電極として兼用するようにしてもよい。

【0025】また、前記のシールド電極は、電気的にフローティング状態としてもよく、あるいは電圧を印加してもよい。

【0026】

【作用】画素電極と走査線との間や、画素電極と信号線との間に形成される寄生容量は、2つの電極の形状、その周囲の物質の誘電率などにより決定される電気力線により大きく左右される。

【0027】そこで例えば画素電極と信号線の2つの電極の間に定電位に設定されたシールド電極を配設すると、画素電極と信号線との間に連なろうとする電気力線がこのシールド電極の静電遮蔽効果によって遮断され、あるいは減少する。

【0028】このような静電遮蔽効果は、例えば画素電極と信号線の2つの電極の間を遮るようにシールド電極が配置される場合だけでなく、2つの電極それぞれの上方または下方に絶縁層などを介して重なるように配置される場合にも十分効果的に起こる。そしてこのような電気力線の遮断あるいは減少により、例えば画素電極と信号線の2つの電極の間の寄生容量は解消される。

【0029】本発明の液晶表示装置は、そのような画素電極の周縁部の少なくとも一部に重なり、かつ走査線および信号線のうち少なくとも一方に重なるように配設されたシールド電極により寄生容量を解消して、輝度むらやクロストークの発生を避け高品位な画像表示を実現することができる。

【0030】また、このシールド電極を光遮断性の高い材質から形成すれば、このシールド電極は上記のように画素電極と走査線や信号線とに重なるように配設されているので、いわゆるブラックマトリックスのような遮光膜として兼用することもできる。

【0031】また、このシールド電極は上記のように画素電極と一部重なるように配置しているので、この画素電極と一部重なる部分で絶縁膜などを誘電体として用いた補助容量を形成する補助容量用電極として兼用することもできる。

【0032】

【実施例】以下、本発明の液晶表示装置の実施例を図面に基づいて詳細に説明する。

【0033】（実施例1）図1は第1の実施例の液晶表

6

示装置の画素部分の構成を示す図、図2(a)はその層構造を示すA-A'断面図、(b)そのはB-B'断面図である。

【0034】この第1の実施例の液晶表示装置は、ガラス絶縁基板101上に列設された走査線103と、これに交差して列設された信号線105と、これら走査線103および信号線105に接続されたTFT107と、これに接続された画素電極109と、ゲート絶縁層111を介して画素電極109の周縁部の四辺全てに重なるとともに信号線105の一部に重なるシールド電極113が形成されて、TFTアレイ基板115が形成されている。そして図示は省略するが、TFTアレイ基板115に対向する対向電極を有する対向基板と、この対向基板とTFTアレイ基板115との間に挟持された液晶層とからその主要部が構成されている。

【0035】この第1の実施例の液晶表示装置の特徴は、シールド電極113が画素電極109の周縁部の四辺全てに重なるとともに信号線105の一部に重なり、かつ画素電極109とシールド電極113とが重なる部分でゲート絶縁層111を介して補助容量117を形成していることである。

【0036】次に、このような構成の第1の実施例の液晶表示装置の製造方法を説明する。ガラス基板101上にMo-Ta合金を250nm堆積し、これをパターンニングして走査線103とシールド電極113とを同時に形成する。続いてこれらの上にゲート絶縁層111としてSiO_x、SiN_xをそれぞれ300nm、50nm成膜し、連続してこのゲート絶縁層111の上に活性層のa-Si、チャンネル保護膜としてのSiN_xをそれぞれ50nm、200nm成膜する。そしてチャンネル保護膜のSiN_xを島状にエッチング形成した後、オーミックコンタクト層としてのn⁺a-Si層を50nm堆積する。この後、n⁺a-Si、a-Siを島状にエッチングし、次いでITOを100nm堆積しこれをパターンニングして画素電極109を形成した後、走査線103の取り出し部分の上のゲート絶縁層111をエッチングにより除去し、Cr、Alをそれぞれ50nm、300nm堆積しこれをパターンニングして、信号線105およびドレイン電極、ソース電極を形成する。

【0037】そして信号線105をマスクとして用いてTFT107のソース電極とドレイン電極との間のn⁺a-Si層をチャンネル保護層とは選択的にエッチング除去してTFTアレイ基板を形成する。

【0038】そしてこのTFTアレイ基板115と対向基板とを組み合わせその周囲を封止剤で封止し両基板間に液晶組成物を注入して、この液晶表示装置が完成する。

【0039】このように、本実施例の液晶表示装置は、ガラス基板101上には走査線103と同層にシールド電極113が配設され、これらの上を覆うようにゲート

(5)

7

絶縁層111が設けられ、その上に画素電極109と信号線105とが配設されている。そしてシールド電極113は、電源に接続されて所定の電圧が印加され、全ての画素にわたって一定の電位となるように配設されている。

【0040】このような構成の本実施例の液晶表示装置は、画素電極109から信号線105に向かう電気力線がシールド電極113の静電遮蔽効果により大幅に減少するので、画素電極109と信号線105との間に形成されようとする寄生容量が解消され、この寄生容量に起因して発生していた輝度むらやクロストークの発生を防ぐことができる。

【0041】また、シールド電極113と走査線103とは、前述のごとく同層に堆積させたMo-Ta合金のような材質からなる膜をエッチングによりパターンニングして同時に形成できるので、シールド電極113形成のために別に新たな工程を付加する必要がなく、製造工程を簡易なものとすることができる。

【0042】また、画素電極109とシールド電極113とが重なる部分でゲート絶縁層111を介して補助容量117を形成している。すなわちシールド電極113を補助容量117の補助容量用電極として兼用しているので、これとは別に補助容量用電極を配設する場合に比べて構造および製造工程を簡易なものとすることができる。

【0043】本発明者らの実験によれば、突き抜け電圧、フレーム反転による画素電位変動を検出して従来装置と比較して、シールド電極113の形成によって画素電極109と信号線105との間の寄生容量 C_{ds1} 、 C_{ds2} が大幅に低減することが確認された。

【0044】（実施例2）図3は第2の実施例の液晶表示装置の画素部分の構成を示す図、図4（a）はその層構造を示すA-A'断面図、（b）はそのB-B'断面図である。なお、第1の実施例と同じ構成部分は、図1、2と同じ番号を付している。

【0045】この第2の実施例の液晶表示装置においては、シールド電極213が走査線103および信号線105の一部と重なるように配設し、シールド電極213を遮光膜、いわゆるブラックマトリックスとして用いるとともに、シールド電極213を電極として用いて補助容量217を形成していることが特徴である。

【0046】シールド電極213は画素電極109の周囲の四辺全てにゲート絶縁層111、第2のゲート絶縁層215、第3の絶縁層219を介して重なり、信号線105の一部にゲート絶縁層111、第2のゲート絶縁層215を介して、また走査線103の一部に第2のゲート絶縁層215を介して重なるように配設されている。また画素電極109と信号線105とは絶縁層219で層分離されており、短絡を確実に防ぐことができる構造となっている。

8

【0047】そして第1の実施例において説明した作用と同様に、このシールド電極213の静電遮蔽効果によって、走査線103と画素電極109との間および信号線105と画素電極109との間の寄生容量が解消される。

【0048】シールド電極213の材質としてはMo-Ta合金を、また第2のゲート絶縁層215としては SiO_x を、また第3の絶縁層219としては SiN_x を用いた。Mo-Ta合金のような光遮断性の高い材質を用いたシールド電極213として用いているので、このシールド電極213で被覆された部分、即ち画素電極109と走査線103の間隙、および画素電極109と信号線105の間隙には光は透過せず、シールド電極213で被覆されていない部分の画素電極109だけに光が透過するので、このシールド電極213はブラックマトリックスとしての機能を兼備しているのである。これにより、従来のような対向基板側のブラックマトリックスを省略することができる。ただし、このときTFT107近傍に対応する部分の対向基板にはブラックマトリックスを設けるなどして対向基板からの光やガラス基板の主面側内面での反射光などに対する遮光性をより確実なものとするのが好ましい。

【0049】また、信号線105、走査線103付近のブラックマトリックスを残し、このブラックマトリックス内でカラーフィルタの画素ごとの色分離を行えば、ブラックマトリックスを省略したものに比べてカラーフィルタの検査等が簡易に行なうことができ製造歩留まりの向上が図れるなどの効果もあるので、対向基板側のブラックマトリックスは必ずしも省略しなければならないことはない。

【0050】ただし、対向電極の開口部をシールド電極の開口部よりも広くしたブラックマトリックスを補助的に用いて、製造上両者の位置がずれてもいずれか一方が開口部を規定するようにすることが望ましい。図示は省略しているが、本実施例ではシールド電極213の開口部よりも8 μm の距離だけ開口部を広くとったブラックマトリックスを補助的に用いている。これにより、パターンずれが発生しても確実に遮光することができる。

【0051】（実施例3）図5は第3の実施例の液晶表示装置の画素部分の構成を示す図、図6はその層構造を示すA-A'断面図である。

【0052】なお、第1、2の実施例と同じ構成部分は、図1、2等と同じ番号を付している。

【0053】この第3の実施例の液晶表示装置は、第2の実施例の液晶表示装置を改良したもので、画素電極109の周囲と走査線103および信号線105の一部に重なるようにシールド電極313を形成して、これを遮光膜、いわゆるブラックマトリックスとして兼用するとともに、画素中央部に設けられた補助容量317の補助容量用電極としても兼用する構造を採用しており、また

(6)

9

その製造方法としてもシールド電極313を用いてセルフアラインにより画素電極109を形成している点の特徴である。

【0054】シールド電極313を覆うように第2のゲート絶縁層215およびゲート絶縁層111が形成され、その層間に走査線103が形成され、最上層に画素電極109が形成されている。

【0055】その画素電極109を形成する際、ITO膜堆積後にネガレジストまたはイメージリバーシブルレジストを用いてまず裏面から露光し、続いて表面（主面）からソース電極と重なる部分と補助容量317を形成する部分にフォトリソを用いて露光し、画素電極109を形成する。この場合、信号線105および走査線103のみでセルフアラインする場合に比べて画素電極109と信号線105および走査線103との間の距離を大きく取れるので、それらの間の寄生容量をさらに小さく低減することができる。

【0056】また、このように画素電極109の周囲と走査線103および信号線105の一部に重なるようにシールド電極313を形成してこれをブラックマトリックスとして兼用しているため、これにより第2の実施例と同様に対向基板側のブラックマトリックスを省略することができる。

【0057】このシールド電極は、画素電極109の層よりも下層であれば、ゲート絶縁層111のような絶縁層を介してどの層に形成することもできる。

【0058】（実施例4）図7は第4の実施例の液晶表示装置の画素部分の構成を示す図、図8（a）はその層構造を示すA-A'断面図、（b）はそのB-B'断面図である。なお、第1の実施例と同じ構成部分は、図1、2等と同じ番号を付して示している。

【0059】この第4の実施例の液晶表示装置は、第2の実施例の液晶表示装置をさらに改良したもので、その層構造は第2の実施例とほぼ同様であるが、シールド電極413をITOのような透明導電膜で形成し、画素電極109の全面に対向するように配置しゲート絶縁層111および第2のゲート絶縁層215を介して補助容量417を形成することで、補助容量417の面積を大きく取ることができる点の特徴である。そのシールド電極413の材質としてはITO（酸化インジウム・錫）を用いた。

【0060】形成される補助容量417の値は、シールド電極413と重なる画素電極109の面積に左右されるので、本実施例では図7に示すようにこのシールド電極413を画素電極109の全面よりも大きな面積に形成した。しかし駆動電流特性などTFTの性能上の問題から必ずしも大きくはできないので、このシールド電極413の面積を適宜、適切な値に設定することが望ましい。例えば、画素電極の上半分に重なるような形状に形成して本実施例の約半分の容量に設定してもよい。

10

【0061】（実施例5）図9は第5の実施例の液晶表示装置の画素部分の構成を示す図、図10はその層構造を示すA-A'断面図である。なお、第1の実施例等と同じ構成部分は、図1、2等と同じ番号を付して示している。

【0062】この第5の実施例の液晶表示装置は、第1の実施例の液晶表示装置を改良したもので、シールド電極513と画素電極109とがゲート絶縁層111を介して重なる部分で補助容量517を形成し、かつそのシールド電極513が信号線105の画素に相当する部分全体にわたって重なるように配設されていることが特徴である。シールド電極513をこのように配置することによって、信号線105近傍の静電遮蔽を第1の実施例よりもさらに効果的に行なうことができ、その結果、寄生容量 C_{ds1} 、 C_{ds2} をさらに効果的に低減することができる。

【0063】また、このようにシールド電極513を信号線105の画素に相当する部分全体にわたって重なるように配設すれば、信号線105の幅がさらに微細なものとなっても、シールド電極513の幅には余裕があり、パターンずれなどの心配がないので製造が簡易であるという利点もある。

【0064】（実施例6）図11は第6の実施例の液晶表示装置の画素部分の構成を示す平面図、図12

（a）はその層構造を示すA-A'断面図、（b）はそのB-B'断面図である。なお、第1の実施例、第5の実施例等と同じ構成部分は、図1、2、9、10等と同じ番号を付して示している。

【0065】この第6の実施例の液晶表示装置は、第5の実施例の液晶表示装置をさらに改良したもので、画素電極109をゲート絶縁層111の層中に形成し、信号線105をそのゲート絶縁層111の上に配設して、画素電極109と信号線105との短絡を確実に防ぐ構造としたことが特徴である。またシールド電極613はゲート絶縁層111を介して画素電極109の下層に配設されている。

【0066】これにより、シールド電極613の静電遮蔽効果および遮光効果に併せて、画素電極109と信号線105の間を短絡が生じることなく近付けることができるという効果をも実現している。

【0067】次に、このような第6の実施例の液晶表示装置の製造方法を説明する。

【0068】ガラス基板101上にMo-Ta合金を250nm堆積し、これをパターンニングして走査線103とシールド電極613とを同時に形成する。続いてこれらの上にゲート絶縁層111となる SiO_x を200nm堆積する。この SiO_x 膜はピンホール欠陥などによる画素電極109とシールド電極613との短絡を防ぐために100nmずつ2回に分けて堆積することが望まし

(7)

11

い。

【0069】続いてITO膜を100nm堆積しこれをパターンニングして画素電極109を形成した後、これを覆うようにゲート絶縁層111となる SiO_x 、 SiN_x をそれぞれ100nm、50nm堆積する。前記の200nmの SiO_x とこの SiO_x 、 SiN_x とでゲート絶縁層111が形成され、その層中に画素電極109が内設される。

【0070】このゲート絶縁層111の上に活性層のa-Si、チャンネル保護層としての SiN_x をそれぞれ50nm、200nm堆積する。そしてチャンネル保護層の SiN_x を島状にエッチング形成した後、オーミックコンタクト層としての n^+ a-Si層を50nm堆積する。ここでITO上にプラズマCVDで SiN_x を堆積すると、膜剥れや表面の白濁などの不良が発生することがわかっている。堆積条件を適宜選べばそのような不良を避けて SiN_x を堆積できるが、このような SiN_x をゲート絶縁層として用いるとTFTの特性が劣悪化することがわかった。そこで本実施例では、ITO上に堆積する膜としては SiO_x が望ましいとして、これを用いた。

【0071】この後、 n^+ a-Si、a-Siを島状にエッチングし、走査線103の取り出し部分、および画素電極109の電気的接続を取る部分のゲート絶縁層111にBFHによりコンタクトホールを穿設する。

【0072】次いで、Cr、Alをそれぞれ50nm、300nm堆積し、これをパターンニングして信号線105およびドレイン電極、ソース電極を形成する。

【0073】そして信号線105をマスクとして用いてTFT107のソース電極とドレイン電極との間の n^+ a-Si層をチャンネル保護層とは選択的にエッチング除去してTFTアレイを形成する。

【0074】また、図示は省略したが、TFT上を SiN_x で覆うことによりTFTの信頼性が向上することが判っているので、TFT107上に SiN_x を200nm堆積した後、各電極取り出し部分および画素電極109上の SiN_x をエッチングにより除去した。その際さらに画素電極109上の SiO_x もエッチングにより除去すれば、さらにさらに画質が向上する。ただしこの画素電極109上の SiO_x は残すようにすれば、例えば製造工程中に混入した導電性の異物などによる画素電極109と対向電極との短絡不良を防ぐことができる。

【0075】そしてこのTFTアレイ基板115と対向基板とを組み合わせその周囲を封止剤で封止し両基板間に液晶組成物を注入して、この液晶表示装置が完成する。

【0076】なお、本実施例では SiO_x の堆積はプラズマCVDで行なったが、熱CVDがさらに好適である。

【0077】また、本実施例では補助容量517の誘電体として用いた SiO_x 膜の膜厚は200nmであり、第

12

5の実施例の300nmと比べて薄くなっているにも関わらずシールド電極613と画素電極105との短絡不良の発生は約1/2に減少していた。これは第5の実施例と第6の実施例とを比較検討した結果、以下の事実によるものであることが判明した。

【0078】チャンネル保護層を島状にエッチングする際にa-Si層と選択的にエッチングしているのが、原理的にはa-Si層でエッチングが止まることになるが、実際にはピンホール欠陥などがあると、このピンホールを通してゲート絶縁層111にまでエッチャントが浸入して、ゲート絶縁層111に穴が開くことがあり、ITOを堆積するときこの穴にもITOが堆積されて短絡不良が発生する。しかし本実施例の液晶表示装置においては、ITOからなる画素電極109はチャンネル保護層のエッチング工程よりも前の工程で形成され、しかも200℃以上の温度でアニール処理されたITO膜はチャンネル保護層のエッチングに用いるエッチャントに対して耐性が極めて高く、上記のような短絡不良はITO膜のピンホール欠陥とa-Si層のピンホール欠陥とが同位置に重なるような場合以外には発生することがほとんどない。このため本実施例においては、シールド電極613と画素電極105との短絡不良の発生は約1/2に減少したものと考えられる。

【0079】(実施例7)図13は第7の実施例の液晶表示装置の一面素部分の構成を示す平面図、図14

(a)はその層構造を示すA-A'断面図、(b)はそのB-B'断面図である。なお、第1の実施例、第6の実施例等と同じ構成部分は、図1、2、11、12等と同じ番号を付して示している。

【0080】この第7の実施例の液晶表示装置は、第6の実施例の液晶表示装置をさらに改良したもので、シールド電極713と走査線103と画素電極109と信号線105とを、それぞれゲート絶縁層111、第2のゲート絶縁層215、第3の絶縁層219を介挿して層分離し、これらの短絡不良をさらに確実に防止して、シールド電極713のパターンを自由に設定することができるようにしたものである。これにより、画素電極の開口率をさらに広く取ることができるので画面の輝度が向上し、かつ信号線105の一面素に対応するほぼ全面にシールド電極713が重なるので、静電遮蔽効果も高いものとなっている。

【0081】そしてこのシールド電極713は、走査パルス遅延の問題やシールド電極の電位変動などの問題がなければ、さらに走査線103にも重なるように配置することができ、この場合シールド電極713はブラックマトリックスとして兼用することができる。

【0082】(実施例8)図15は第8の実施例の液晶表示装置の一面素部分の構成を示す平面図である。この第8の実施例の液晶表示装置は、第7の実施例の液晶表示装置における製造方法を改良し、シールド電極813

(8)

13

を用いたセルフアラインによりその画素電極109を形成したものである。

【0083】その画素電極109は、ITO膜を成膜した後、イメージリパースレジストを用いてまずマスク露光によりシールド電極813と重ならない部分の不要部分を露光、現像する。

【0084】続いて裏面露光、マスク露光した後、イメージリパースベークを行い、全面露光することによりパターンを形成する。このような製造方法は、シールド電極813と走査線103とを重ねない構造の液晶表示装置の製造に適しており、またITO膜からなる画素電極109を信号線105よりも先に形成する場合にも用いることができる。また、補助容量517の大部分は最後のマスク露光により形成することができる。

(実施例9) 図16は第9の実施例の液晶表示装置の一面素部分の層構造を示す断面図である。なお、第1の実施例、第6の実施例等と同じ構成部分は、図1、2、11、12等と同じ番号を付して示している。

【0085】第6の実施例の液晶表示装置では、前述のようにパッシベーション層のパターンニングを含めて7工程のパターンニング工程を必要としていた。しかしこのような構成の液晶表示装置では、a-Si層を島状に残す工程を省略することができることを、本発明者らは研究の結果明らかにした。このような6工程のパターンニング工程の製造方法を、図16に基づいて説明する。

【0086】ガラス基板101上にMo-Ta合金を250nm堆積し、これをパターンニングして走査線103とシールド電極613とを同時に形成する。

【0087】続いてこれらの上にゲート絶縁層111となるSiO_xを130nmずつ2回に分けて堆積する。

【0088】次いでITO膜を堆積しこれをパターンニングして画素電極109を形成した後、これを覆うようにゲート絶縁層111となるSiO_x、SiN_xをそれぞれ90nm、50nm堆積する。

【0089】前記の200nmのSiO_xとこのSiO_x、SiN_xとでゲート絶縁層111が形成され、その層中に画素電極109が内設される。

【0090】連続して、このゲート絶縁層111の上に活性層1601のa-Si、チャネル保護層1603としてのSiN_xをそれぞれ50nm、200nm堆積する。

【0091】そしてチャネル保護層1603のSiN_xを島状にエッチング形成した後、オーミックコンタクト層1605としてのn⁺a-Si層を50nm堆積する。

【0092】この後、画素電極109および走査線103の取りだし部分にスルーホール1607を形成する。このときスルーホール1607は最上部のn⁺a-Si層からゲート絶縁層111のSiO_x膜まで連続的にエッチングして穿設する。

【0093】次いで、Mo/Al/Moを堆積し、これをパターンニングして信号線105およびドレイン電極

14

1609、ソース電極1611を形成する。

【0094】しかる後、信号線105等をマスクとして用いてTFT107のソース電極1611とドレイン電極1609との間のn⁺a-Si層をチャネル保護層1603とは選択的にエッチング除去し、また画素電極109上のa-Si層をエッチング除去して、TFTアレイを形成する。

【0095】さらにTFT107上にSiN_xを200nm堆積した後、各電極取り出し部分および画素電極109上のSiN_xをエッチングにより除去した。その際、同時に画素電極109上のSiO_xもエッチングにより除去する。

【0096】以上のように、6回のパターンニング工程で形成することができる。このようにすれば生産性が向上するので好ましい。さらに、従来は半導体層のパターンニングの際のパターン乱れにより、島状の半導体層パターンが設計上は存在するべき場所に存在しないような場合があり、そのTFTが動作不良等となって製造歩留りの低下を招いていたが、本実施例の液晶表示装置においては、このような不良の発生を避けて製造歩留りを向上させることができることが確認された。

【0097】ところで、上記のスルーホール1607の形成プロセスを図17に基づいて説明する。

【0098】まず、n⁺a-Siからなるオーミックコンタクト層1605、a-Siからなる活性層1601、SiN_xからなるゲート絶縁層の一部を、CF₄を主成分とするガスを用いたCDE(ケミカルドライエッチング)により、レジスト1613を用いてエッチング除去しパターンニングする。(a)

続いてゲート絶縁層111のSiO_x膜をBHFでエッチングしてスルーホール1607等を穿設し、その下層の走査線103取りだし部分などMo-Ta層表面を露出させる。(b)

このとき、その上層のオーミックコンタクト層1605や活性層などのn⁺a-Si膜やa-Si膜、SiN_x膜は、スルーホール1607の壁面で庇状に突出する。

(c)

そこで更にCF₄を主成分としたガスを用いてCDE処理を施すことで、前記のn⁺a-Si膜やa-Si膜やSiN_x膜の庇状の突出をエッチング除去してSiO_xの壁面よりも十分に後退するように処理する。このとき0.1~3μm程度後退させることが望ましい。そしてこのとき、露出したMo-Ta表面の酸化物等も軽くエッチング除去されるので、この後で堆積されるMo/Al/Mo膜との電氣的接続がさらに良好なものとなる。

(d)

スルーホール1607は庇状の突出を除去しているものの、段差部分がありその上に配設する材料のカバレッジが悪く、段差部分をエッチング時にエッチング液に曝すとマウスホールが形成されていわゆる段切れすることが

15

多いので、本実施例のようにスルーホール1607のパターンよりもその上層に堆積されるMo/Al/Mo膜からなる配線パターンを大きく設定しておくことが好ましい。

【0099】なお、スルーホールの形成は、上記の工程に限定されるものではなく、例えばSiO_xのアンダーカットを防ぐためにリアクティブイオンエッチング(RIE)を用いてもよいが、SiO_xをRIEでエッチングする際に下地のMo-Taとは選択的にエッチングしなければならず、その条件ではSiO_xのエッチングレートが500オングストローム/分程度しか得られないために生産性が低い。またn⁺a-Si上にレジストを塗布すると表面が汚れてTFT107の特性が劣化する場合があるので、n⁺a-Si上にMoを500オングストローム程度堆積し、スルーホール形成後にMoをエッチング除去することが好ましい。更にa-Si膜のパターンニング工程を省略することは、この他の実施例の液晶表示装置にも適用することができ、また必ずしもシールド電極と組み合わせて実施することには限定しない。例えば、その層構造は図18乃至図22に示すような種々の構成にも適用することができる。

【0100】なお、図21、22に示すような構成の場合は、画素電極109上にスルーホールを形成する必要はないが、走査線103の取り出し部分では前記のようなプロセスを用いることが好ましい。さらに図22の場合、シールド電極613上のパッシベーション層1615は、補助容量を大きくするためにエッチング除去してもよい。

【0101】また、図22に示すような構成にすれば、ソース電極1611と画素電極109を接続する側のスルーホールと走査線103の取り出し部分を同一工程で形成し、5回のパターンニング工程でTFTアレイが形成できるので生産性がさらに向上する。このときエッチングはRIEによりパッシベーション層1615のSiN_x膜からゲート絶縁層111のSiN_x膜まで行ない、続いてBHFでSiO_x膜をエッチングした後、前記と同様なCDE処理を施すことにより底状の突出のない形状が得られた。

【0102】特に、図22に示す例は画素電極109をパッシベーション層1615上に形成したもので、補助容量の誘電体として用いられる絶縁膜の厚さの総和を大きくすることができるので、例えばシールド電極613と画素電極109との重なりを大きく取らねばならずしかも補助容量の値を抑制したい場合などに特に有効である。

【0103】(実施例10)図23は第10の実施例の液晶表示装置の一面素部分の層構造を示す断面図である。なお、既述の実施例と同じ構成部分は同じ番号を付して示している。

【0104】例えば図11に示したような既述の実施例

(9)

16

の液晶表示装置では、ゲート絶縁層のような絶縁層を用いて画素電極、シールド電極、信号線、走査線などの短絡を防止していたが、そのような絶縁層の層数を増やせば成膜工程が増えることになり、製造コストの上昇を招く。これはプラズマCVD装置のような高価な装置および使用ガス、膜材料などを用いることで成膜コストが高くなるためである。

【0105】そこで低コストに絶縁層を形成することが要望されるが、これを実現するためにはシールド電極の表面を陽極酸化する方法が好適である。また陽極酸化によれば、ピンホールが発生しないので層間ショート of the 発生を避けることができる。

【0106】シールド電極1013、走査線103をAl薄膜からガラス基板101上に形成し、その表面をほう酸中で100Vまで定電流酸化し、さらにその後30分間定電流酸化してAl₂O₃2301を形成する。

【0107】その後ITO膜をスパッタ成膜しパターンニングして画素電極109を形成する。

【0108】次にゲート絶縁膜111を、SiO_x膜、またはSiO_x膜およびSiN_x膜の積層膜により形成する。この上にa-Si膜を形成し、SiN_x膜をパターンニングしてチャネル保護層1603を形成する。そしてn⁺a-Si膜を堆積した後、a-Si膜を島状にパターンニングして活性層1601を形成する。

【0109】そしてAl/Moをスパッタにより積層し、ソース電極1611およびドレイン電極1609を形成する。この上を覆うようにSiN_x膜からなるパッシベーション層を形成し、画素電極109部分および配線引き出し部のSiN_xをエッチング除去する。

【0110】前記のシールド電極1013、走査線103等はAlに限らず、Ta、Ta₂N₅、Ti、Nb、TiN_x、Ta₂N₅/Ta/TaN_yの積層膜などの材料から形成してもよい。

【0111】特に、TaまたはTa₂N₅の陽極酸化膜は、その上にITO膜を積層した後にa-Si膜のプラズマCVD成膜を行なうと、In、Snが陽極酸化膜中を拡散してリーク電流が増大する。そこで、図24に示すようにSiO_x、SiN_xもしくはTiO_x、AlO_xのようなIn、Snよりもイオン半径の小さな原子からなる材料を用いて1000オングストローム、好ましくは200～500オングストロームの膜厚の薄膜2401をTa系陽極酸化膜とITO膜との間に形成することによってIn、Snの陽極酸化膜中への拡散を防いでリーク電流の増大を避けることができる。

【0112】また、TaまたはTa₂N₅にSiを混合した合金を用いてもよい。あるいはTaSiN_x/Ta/TaN_xの積層構造により配線を形成し、その表面を陽極酸化してもよい。

【0113】また、ゲート絶縁膜111をスパッタで形成することもリーク電流の抑制に有効である。

(10)

17

【0114】このような構造およびその製造方法を採用することにより、製造工程において高価なプラズマCVD成膜工程の数を減らすことができ、製造コストを低廉化することができる。

【0115】また、 Al_2O_3 、 TaO_x 、 TaN_xO_y 、 TiO_x 、 $Ta-Si-O$ 、 $Ta-Si-N-O$ はそれぞれ比誘電率が7、30、20、85、20、～15であり、 SiO_x の4に比べて大きいためにシールド電極1013を一方の電極に用いた補助容量の値を、小さな面積で大きくできるという利点がある。

【0116】また、プラズマCVDで形成する膜には作業雰囲気中に塵埃があるとピンホール欠陥が発生しやすく、これに起因した短絡欠陥が発生しやすいので、その膜厚はある程度厚くすることが必要である。一方、TFT107に用いられるゲート絶縁層の厚さは、ITOの画素電極109の上の絶縁層と下の絶縁層との総和であるが、その膜厚が厚過ぎて容量が小さいとオン電流が十分には取れなくなるので、膜厚が厚過ぎることは好ましくない。従って絶縁層である前記の薄膜2401等は比誘電率の高い材質で形成することは有効である。

【0117】一方、信号線105と画素電極109とがパターン乱れを起して重なった場合、これらの間に形成されるカップリング容量により、その画素が表示不良となる場合があるが、これを抑制するためには、その容量値を下げるのが効果的である。従って、液晶よりも比誘電率の小さい SiO_x 等の絶縁膜を信号線105と画素電極109との間に可能な限り厚い層に介挿することが効果的であるため、第1層めの絶縁層には陽極酸化膜を用いることが有効である。

【0118】(実施例11) 突き抜け電圧； ΔV_p が画面内で位置ごとに異なる場合、画面内のすべての画素に対して適切なオフセットされた対向電極電圧を設定することは不可能であり、フリッカや妨害縞、焼き付き等の画像表示不良が発生し、表示品位を著しく低下させる要因となっている。

【0119】そこでこのような突き抜け電圧を抑える対策が必要となる。これを図25に基づいて以下に説明する。

【0120】シールド電極と画素電極とを重ねて補助容量を形成する場合、補助容量2501を形成する重なり幅を最適な幅；WCSに設定すれば、突き抜け電圧； ΔV_p の画面内の分布幅が小さくなる効果があることを発明者らは確認した。

【0121】ある C_{s0} 、 C_{lc-max} に対して、必要なTFTサイズ；Wが決定される。ここで、補助容量2501を形成する重なり幅； W_{cs} を変化させるとその容量値 C_s が変化するため、それに対応して前記のWを変更する必要がある。ところが、突き抜け電圧； ΔV_p の W_{cs} 、Wの変動による変化を考慮すると、それにより決定される最適な幅； W_{cs} がある。即ち走査線と補助容量の電極

18

となるシールド電極との線幅のばらつきどうしを相殺させるのである。このようなWCSに設定すれば突き抜け電圧 ΔV_p を最小に抑えることができる。

【0122】そこで実際に、 W_{cs} 、Wを変化させた数種類のTFT-LCDを試作して、画面内の突き抜け電圧； ΔV_p を測定した。このときゲート電極幅； $L_g = 13\mu m$ とし、TFT107はチャネル保護層がゲート電極に対して自己整合により形成されたセルフアライメント型のものを用いた。ただし、ゲートおよびシールド電極を形成する工程で、意図的に線幅の分布（位置的ばらつき）が $1\mu m$ 程度起こるようにした。その分布の様子を図26に示す。

【0123】以下に、数式を用いてさらに詳細に上述のWCSの求め方を説明する。

【0124】ここで、

L_g ; ゲート電極幅

W_{is} ; チャネル保護層の長さ

L_{cs} ; 補助容量を形成する画素電極とシールド電極との重なり長さ

20 W_{cs} ; 補助容量の幅 (= 補助容量の面積 / L_{cs})

C_{gi} ; 単位面積当りのゲート絶縁層の容量値

C_{si} ; 単位面積当りの補助容量の容量値

C_{so} ; 設計上の補助容量の容量値 (設計値)

C_s ; 補助容量の容量値 (実際の値)

C_{lc-max} ; 一画素の液晶容量の最大値

C_{lc-min} ; 一画素の液晶容量の最小値

C_{gs} ; ゲート (走査線) ・ソース (画素電極) 間の寄生容量

W_o ; 設計上のTFTの幅 (設計値)

30 W ; TFTの幅 (C_s により変化する実際の値)

V_g ; 走査線印加電圧

β ; 定数 (ただし $\beta = (C_{lc-max} + C_{lc-min}) / 2C_{lc-max}$)

である。また、本実施例では $W_{is} = W + 5\mu m$ としている。

突き抜け電圧； ΔV_p は、

$$\Delta V_p = (V_g \cdot C_{gs}) / (C_s + \beta C_{lc-max})$$

$$C_{gs} = L_g \cdot W_{is} \cdot C_{gi} / 2$$

$$C_s = L_{cs} \cdot W_{cs} \cdot C_{si}$$

40 ここで

$$\alpha = (C_{so} + C_{lc-max}) / W_o$$

$$W = (W_{cs} \cdot L_{cs} \cdot C_{si} + C_{lc-max}) / \alpha$$

ゲート電極および走査線あるいは補助容量の電極と兼用されるシールド電極の形成において、設計上 X_0 のパターン幅に対して出来上がったパターン幅が X とすると、

$$dC_{gs} / dX = (dC_{gs} / dL_g) \times (dL_g / dX) = (W_{is} \cdot C_{gi} / 2) \times 1$$

$$dC_s / dX = (dC_s / dW_{cs}) \times (dW_{cs} / dX) = L_{cs} \cdot C_{si} / 2$$

50 以上から、

(11)

$$\begin{aligned}
 & 19 \\
 & (1/V_g) \times (d\Delta V_p/dX) \\
 & = (W_{is} \cdot C_{gi}/4) \times \{2(C_s + \beta \cdot C_{lc-max}) - L_g \cdot L_{cs} \cdot C_{si}\} / \\
 & (C_s + \beta \cdot C_{lc-max})^2
 \end{aligned}$$

ここで、Xの変化により ΔV_p の変化を最も小さくするには、 $d\Delta V_p/dX = 0$ となるように W_{cs} を設定すればよい。従って、そのような最適な W_{cs} は、上式から、

$W_{cs} = (L_g \cdot L_{cs} \cdot C_{si} - 2\beta \cdot C_{lc-max}) / (2L_{cs} \cdot C_{si})$ とすればよいことが導かれる。

【0125】本実施例の場合、第7の実施例の液晶表示装置と同様の構成としているが、その主なパラメータを挙げると、 $L_g = 13\mu m$ 、 $L_{cs} = 550\mu m$ 、 $C_{lc-max}/C_{lc-min} = 0.35pF/0.14pF$ 、 $C_{si} = 1.8 \times 10^{-4}pF/\mu m^2$ であり、上式に代入すると、最適値は $W_{cs} = 4\mu m$ となる。実際に本実施例においては W_{cs} を $4\mu m$ に設定しており、その表示画像を目視にて検証した結果、良好な表示品位を実現できることが確認された。

【0126】なお、補助容量の幅 W_{cs} は上記の最適値のみに限定しない。図26からわかるように、その最適値を W_{cs}^{opt} とすると、 $0.7W_{cs}^{opt} \leq W_{cs} \leq 2W_{cs}^{opt}$ に設定すれば実用上の十分な効果を得ることができる。

【0127】また、図26からわかるように、 W_{cs} が小さい領域では C_s の変動の割合が相対的に大きくなることにより ΔV_p の変動が大きくなるが、開口率を考慮すれば W_{cs} は小さい方が好ましい。従ってこの場合 ΔV_p を抑えるには L_g を小さくすることが望ましい。

【0128】さらに発明者らが詳細に試行、評価したところによれば、第7の実施例のように走査線およびゲート電極とシールド電極とを別工程で形成した場合にも ΔV_p の画面内でのばらつきが減少していることが確認された。これは別工程で形成しているにも関わらず、走査線およびゲート電極の線幅と、補助容量の電極の線幅との線幅変化に相関関係があることによる。これは、本実施例の場合、それぞれの工程を同一の装置内で行なったため、その装置特有のパターンニング条件が別工程のそれぞれの工程でも同様な条件となり、前記の線幅の変動の幅どうしが ΔV_p の画面内でのばらつきを減少させるように互いに変動したためと考えられる。

【0129】図27は、前記の突き抜け電圧 ΔV_p の画面内でのばらつきをさらに積極的に減少させるために、補正部2701を配設した液晶表示装置の実施例を示す図である。この補正部2701は、画素電極109と走査線103とが重なることで、補正用の C_{gs} を形成するものである。この実施例の液晶表示装置では、走査線と補助容量の電極となるシールド電極との線幅のばらつきどうしを相殺させるのみならず、画素電極109の線幅のばらつきによる突き抜け電圧 ΔV_p をも相殺させることができることを我々は確認した。

【0130】ただし、この補正部2701は C_{gs} として機能するので、表示特性を悪化させない程度の容量値に

20

設定することが望ましい。即ち、上述の補正効果が実現できるサイズに、プロセス上可能な限り小さく形成することが望ましい。

【0131】なお、シールド電極を信号線側のブラックマトリックスとして用いるような場合、液晶のディスクリネーションによる表示不良が画面に視認されないようにする必要がある。このディスクリネーションは、一般に液晶層に対する横方向の電界により引き起こされると言われており画素電極の端部にライン状に発生する。また、このディスクリネーションの発生はラビングなどの配向方向にも左右される。従って例えば第5の実施例の液晶表示装置のような場合では、OA用などに用いるために斜め方向にラビング配向処理が施されているので、画素電極の左側端部と右側端部とでディスクリネーションの発生状況が異なる。その結果実際に表示を行なうと、画素電極の左側端部ではディスクリネーションが目立つ一方、右側端部ではほとんど発生しないように見える。従ってこのような場合では、シールド電極と画素電極との重なりは画素電極の左側端部の方を右側端部よりも大きく重なるように設定すれば、シールド電極によりディスクリネーションによる表示不良を隠蔽することができる。このようにディスクリネーションによる表示不良を隠蔽することが望ましい。

【0132】また、ディスクリネーションは液晶層に接する配向膜やパッシベーション膜などの段差部分等に引っかけると発生することがあるので、これを避けるために、画素電極の上には保護膜（パッシベーション膜）などの段差が形成されないようにして画素電極の外側に十分距離を置いて、望ましくは $10\mu m$ 程度に離して段差が配置されるようにすることが好ましい。さらに、そのような保護膜の端部は、段差が急峻にならないように緩やかなテーパ状に加工することが望ましい。

【0133】また、以上の実施例では、シールド電極の材料としてMo-TaやAl等の金属材料を用いているが、これには限定しない。このシールド電極は補助容量の電極として兼用する場合に抵抗値が高いと時定数に基づく電位変動が大きくなるので、導電性が高く抵抗値の低い材料のうちプロセス整合性が高いものであれば、その他の材料も用いることができる。

【0134】この他、TFTアレイのパターン、層構造、材料などは、上記の実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲で各液晶表示装置の仕様に応じて適宜変更可能であることは言うまでもない。

【0135】

【発明の効果】以上詳述したように、本発明によれば、画素電極とこれに近接する走査線や信号線との間の寄生

(12)

21

容量を低減して、表示画像の輝度むらやクロストークを解消し良好な画像表示を実現する液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】第1の実施例の液晶表示装置の構成を示す図。

【図2】第1の実施例の液晶表示装置の断面図。

【図3】第2の実施例の液晶表示装置の構成を示す図。

【図4】第2の実施例の液晶表示装置の断面図。

【図5】第3の実施例の液晶表示装置の構成を示す図。

【図6】第3の実施例の液晶表示装置の断面図。

【図7】第4の実施例の液晶表示装置の構成を示す図。

【図8】第4の実施例の液晶表示装置の断面図。

【図9】第5の実施例の液晶表示装置の構成を示す図。

【図10】第5の実施例の液晶表示装置の断面図。

【図11】第6の実施例の液晶表示装置の構成を示す図。

【図12】第6の実施例の液晶表示装置の断面図。

【図13】第7の実施例の液晶表示装置の構成を示す図。

【図14】第7の実施例の液晶表示装置の断面図。

【図15】第7の実施例の液晶表示装置の構成を示す図。

【図16】第9の実施例の液晶表示装置の層構造を示す断面図。

【図17】第9の実施例の液晶表示装置のスルーホールの形成プロセスを示す図。

【図18】第9の実施例の液晶表示装置の第1の変形例

22

を示す図。

【図19】第9の実施例の液晶表示装置の第2の変形例を示す図。

【図20】第9の実施例の液晶表示装置の第3の変形例を示す図。

【図21】第9の実施例の液晶表示装置の第4の変形例を示す図。

【図22】第9の実施例の液晶表示装置の第5の変形例を示す図。

10 【図23】第10の実施例の液晶表示装置の層構造を示す断面図。

【図24】第10の実施例の液晶表示装置の変形例を示す断面図。

【図25】突き抜け電圧を数式を用いて説明するための図。

【図26】突き抜け電圧 ΔV_p と補助容量の幅 W_{cs} との相関関係を示す図。

【図27】補正部2701を配設した液晶表示装置の実施例を示す図。

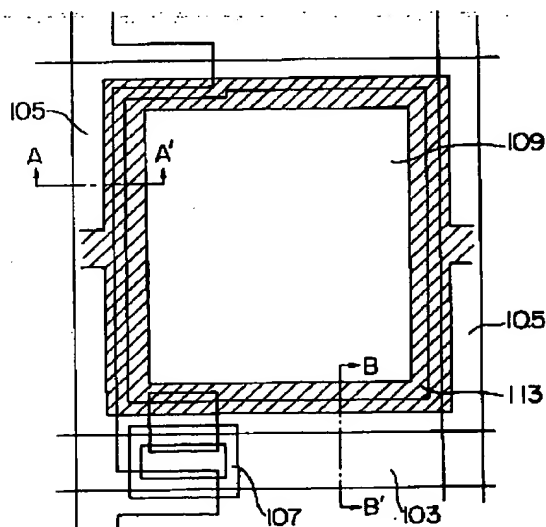
20 【図28】従来の液晶表示装置の構成を示す図。

【図29】従来の液晶表示装置を電氣的に等価回路で示す図。

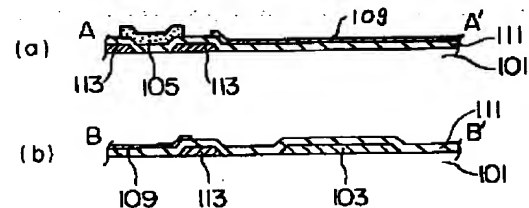
【符号の説明】

101…ガラス絶縁基板、103…走査線、105…信号線、107…TFT、画素電極109、ゲート絶縁層111、シールド電極113、TFTアレイ基板115、補助容量117

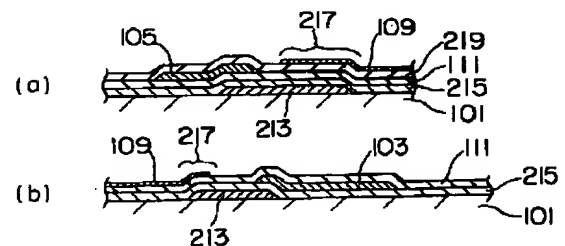
【図1】



【図2】

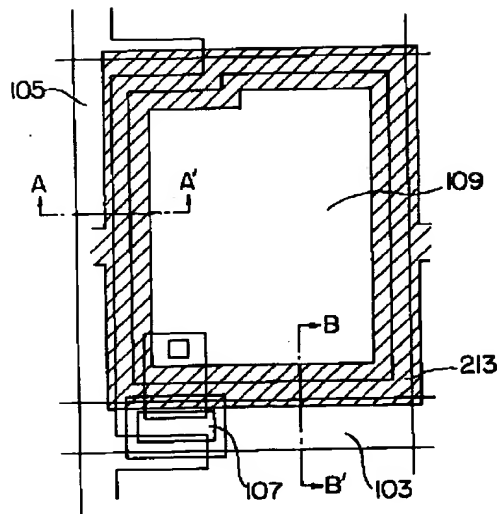


【図4】

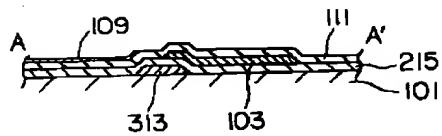


(13)

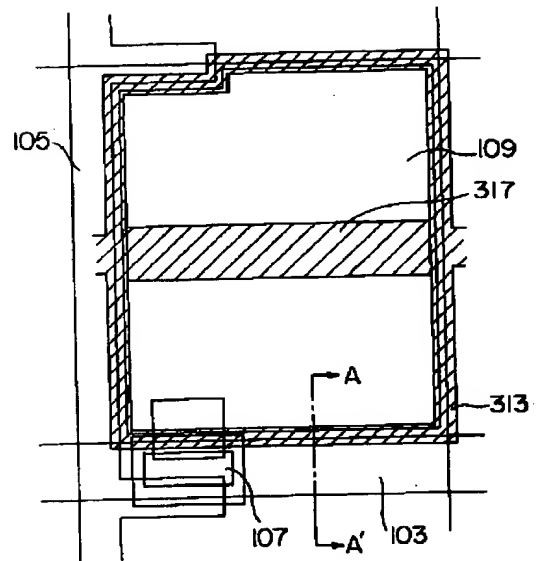
【図3】



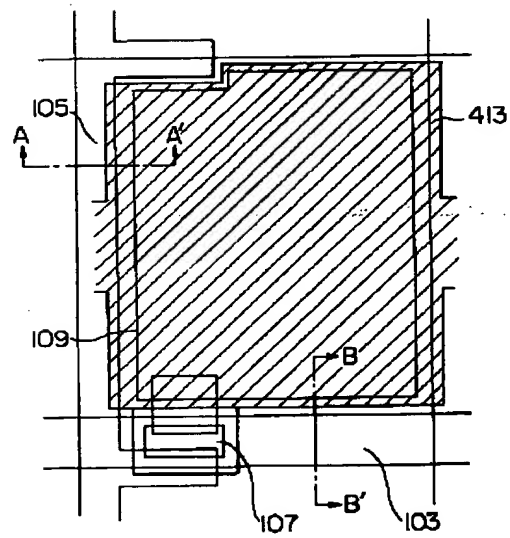
【図6】



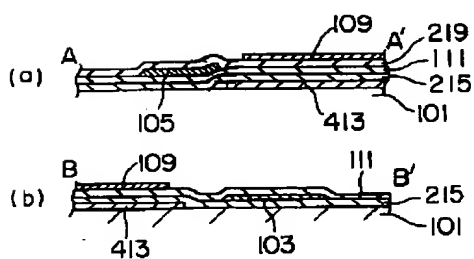
【図5】



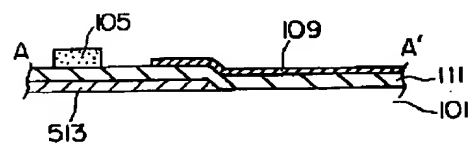
【図7】



【図8】

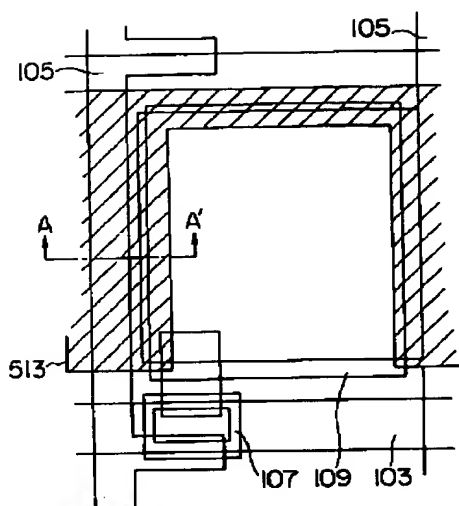


【図10】

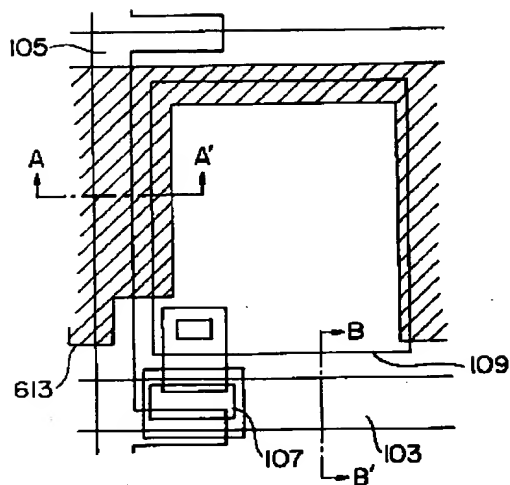


(14)

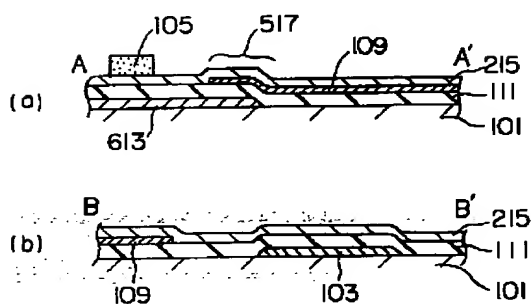
【図9】



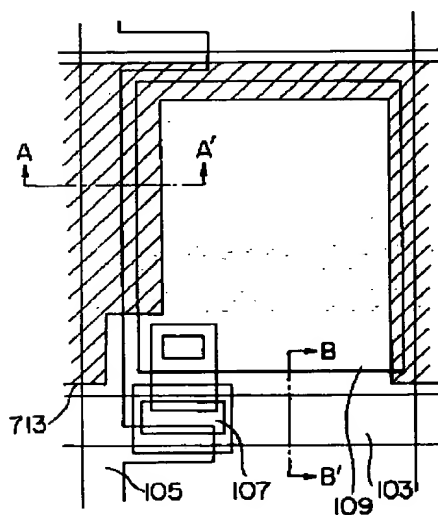
【図11】



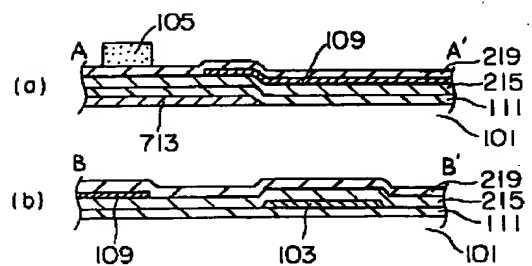
【図12】



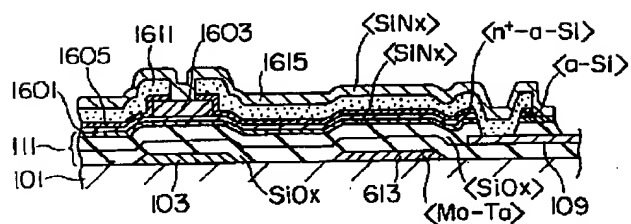
【図13】



【図14】

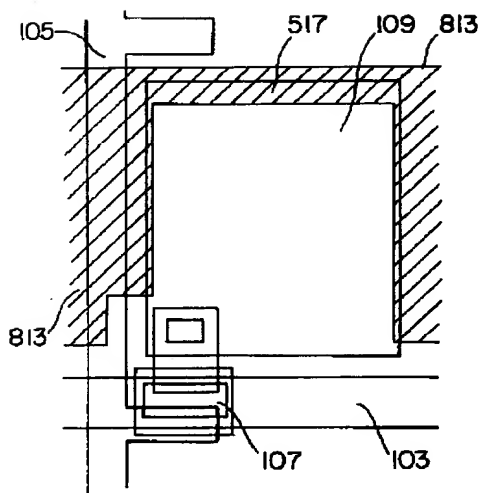


【図18】

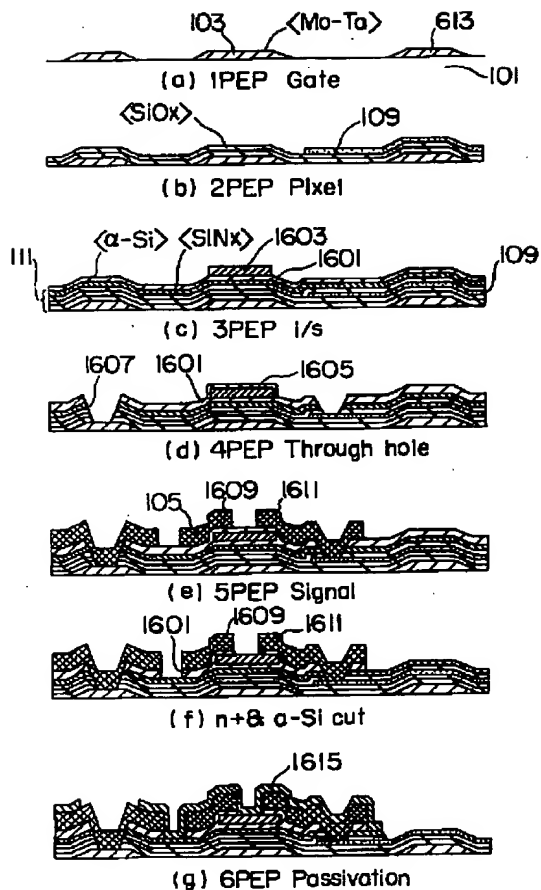


(15)

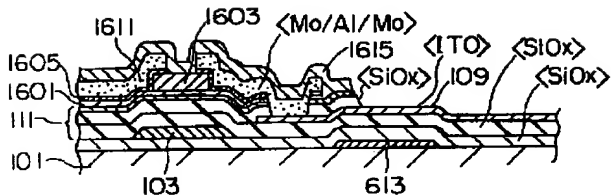
【図15】



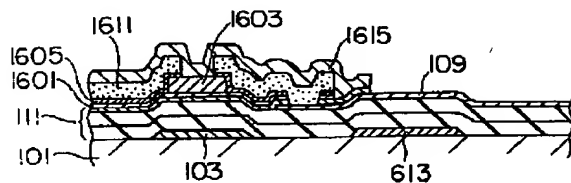
【図16】



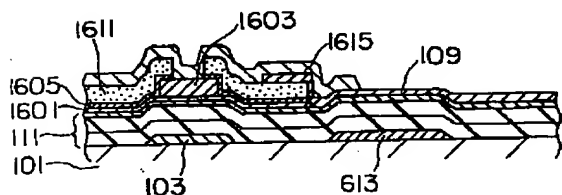
【図19】



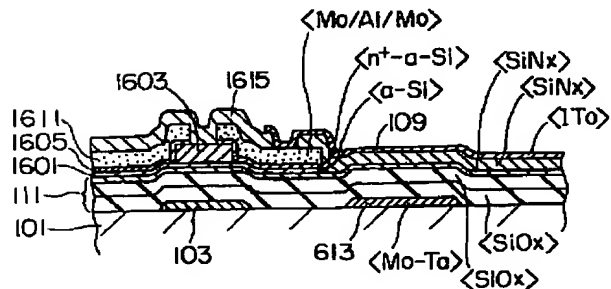
【図20】



【図21】

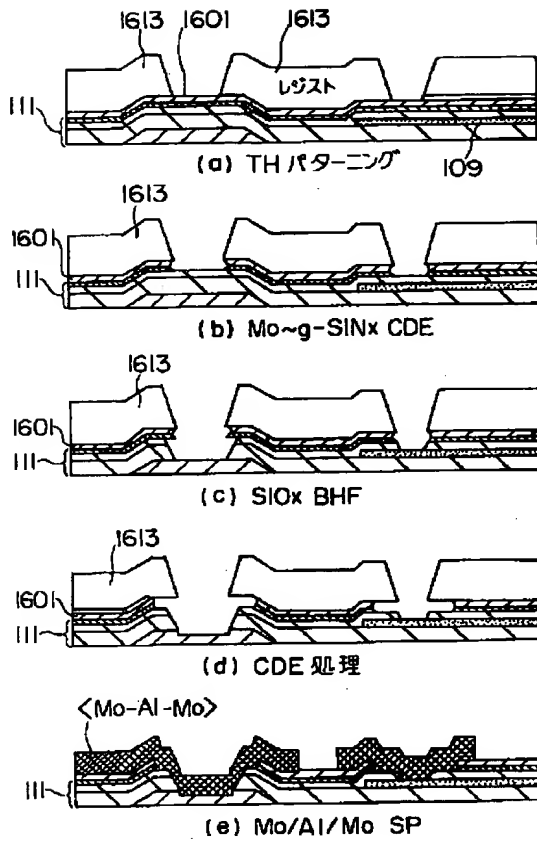


【図22】

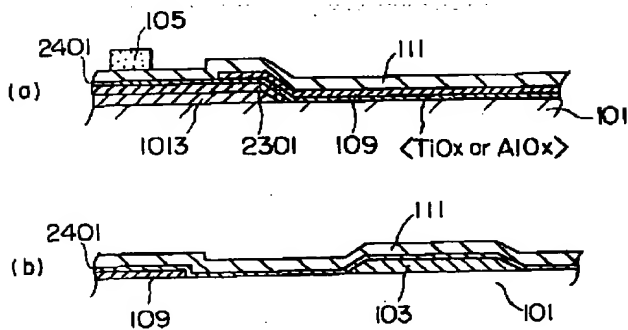


(16)

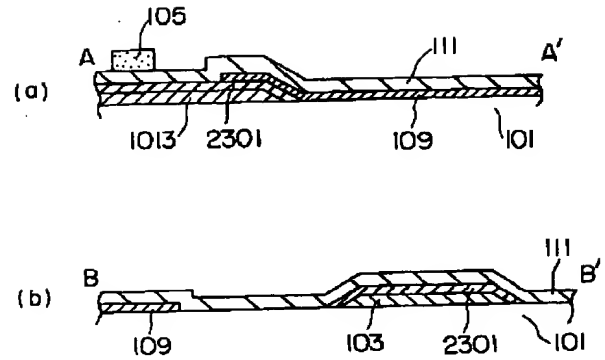
【図17】



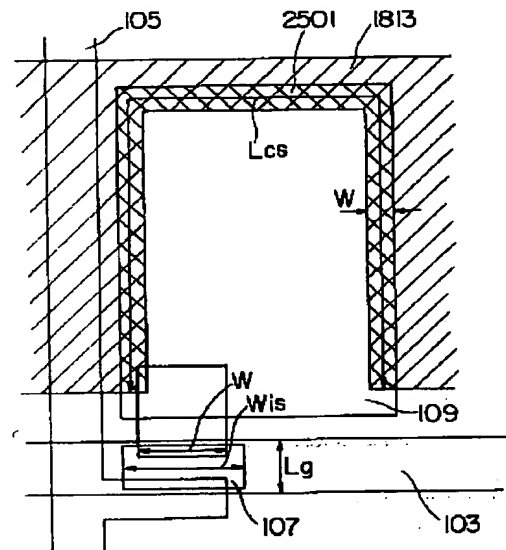
【図24】



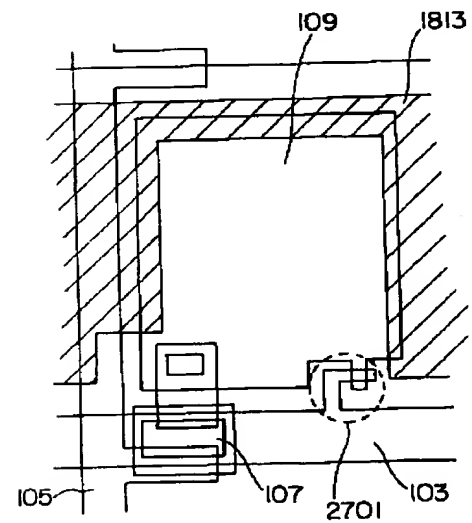
【図23】



【図25】

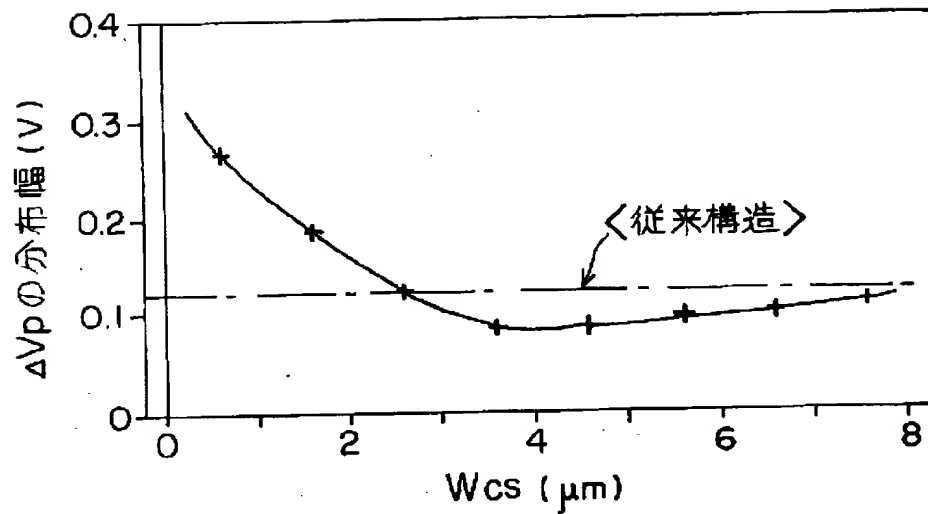


【図27】

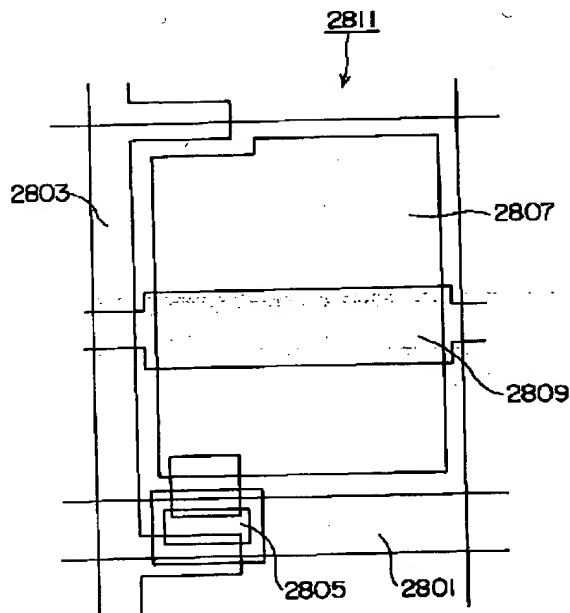


(17)

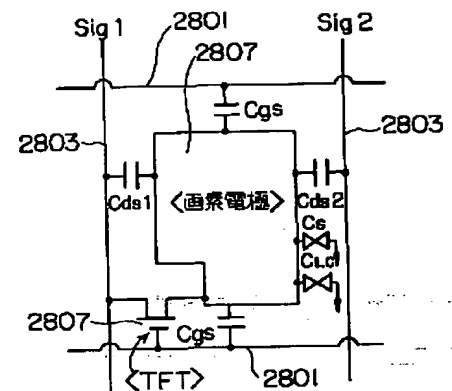
【図26】



【図28】



【図29】



フロントページの続き

(51) Int. Cl. 5
H01L 29/784

識別記号 庁内整理番号

F I

技術表示箇所

(72) 発明者 渋谷 誠
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 池田 光志
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(18)

(72)発明者 辻 佳子
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 戸枝 久郎
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内